

JP2000124462

Publication Title:

MANUFACTURE OF SEMICONDUCTOR DEVICE AND LIQUID CRYSTAL DEVICE

Abstract:

PROBLEM TO BE SOLVED: To obtain a manufacturing method of a semiconductor device wherein an enough offset length or LDD length can be surely ensured at a drain side of a TFT and a manufacturing method of a liquid crystal device.

SOLUTION: In a TFT 10A of an LDD structure, when a mask for introducing high concentration impurities for forming high concentration source/drain regions 123A, 124A is shifted to a direction wherein an LDD length of a region to become a drain side in a channel length direction, an enough LDD length is ensured in a connection side of a drain wiring by reversing a connection structure of a source wiring and drain wiring to the high concentration source/ drain regions 123A, 124A.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-124462

(P2000-124462A)

(43)公開日 平成12年4月28日(2000.4.28)

(51)Int.Cl.⁷
H 01 L 29/786
21/336
G 02 F 1/136

識別記号
5 0 0

F I
H 01 L 29/78
G 02 F 1/136
H 01 L 29/78
6 1 6 A 2 H 0 9 2
5 0 0 5 F 1 1 0
6 1 2 B
6 1 3 A
6 1 6 L

審査請求 未請求 請求項の数10 O L (全 27 頁)

(21)出願番号 特願平10-298928

(22)出願日 平成10年10月20日(1998.10.20)

(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 小出慎
長野県飯能市大和3丁目3番5号 セイコ
一エプソン株式会社内
(74)代理人 100093388
弁理士 鈴木 喜三郎 (外2名)

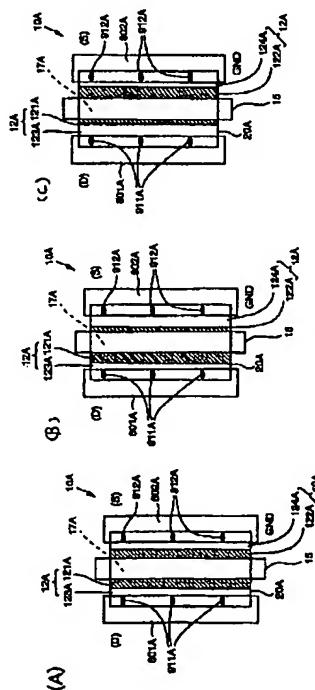
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法、および液晶装置の製造方法

(57)【要約】

【課題】 TFTのドレイン側に十分なオフセット長あるいはLDD長を確実に確保することができる半導体装置の製造方法、および液晶装置の製造方法を提供すること。

【解決手段】 LDD構造のTFT10Aにおいて、高濃度ソース・ドレイン領域123A、124Aを形成するための高濃度不純物導入用マスクがチャネル長方向においてドレイン側となるべき領域のLDD長が短くなる方向にずれていた場合には、高濃度ソース・ドレイン領域123A、124Aに対するソース配線およびドレイン配線の接続構造を反対にして、ドレイン配線が接続する側に十分なLDD長を確保する。



【特許請求の範囲】

【請求項1】 半導体薄膜、ゲート絶縁膜、および該ゲート絶縁膜を介して前記半導体薄膜に対峙するゲート電極が形成され、前記半導体薄膜には高濃度に不純物が導入された第1の領域および第2の領域が形成されてなる半導体装置の製造方法において、

前記ゲート電極が形成された位置に応じて、前記第1の領域および前記第2の領域のうちの一方の領域を高濃度ソース領域とし、他方の領域を高濃度ドレイン領域として、前記高濃度ソース領域にはソース配線を電気的に接続し、前記高濃度ドレイン領域にはドレイン配線を電気的に接続することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、前記第1の領域および前記第2の領域に対する前記ゲート電極のチャネル長方向におけるずれに応じて、前記第1の領域および前記第2の領域のうちの一方の領域を高濃度ソース領域とし、他方の領域を高濃度ドレイン領域として、前記高濃度ソース領域にはソース配線を電気的に接続し、前記高濃度ドレイン領域にはドレイン配線を電気的に接続することを特徴とする半導体装置の製造方法。

【請求項3】 請求項2に記載の半導体装置の製造方法において、パターンの異なる少なくとも2種類のマスクパターンを、前記ゲート電極のチャネル長方向のずれに基づいて選択して用いることを特徴とする半導体装置の製造方法。

【請求項4】 半導体薄膜、ゲート絶縁膜、および該ゲート絶縁膜を介して前記半導体薄膜に対峙するゲート電極が形成され、前記半導体薄膜には高濃度に不純物が導入された第1の領域および第2の領域が形成され、前記ゲート絶縁膜上および前記ゲート電極上に層間絶縁膜が形成される半導体装置の製造方法において、

前記第1の領域および前記第2の領域に対する前記ゲート電極の位置を検出し、前記第1の領域と前記ゲート電極との第1の距離と、前記第2の領域と前記ゲート電極との第2の距離との大小関係に基づいて、前記層間絶縁膜にコンタクトホールを開孔するための開孔用マスクパターンを選択して配置することにより、前記第1の領域および前記第2の領域のうちの一方の領域を高濃度ソース領域とし、他方の領域を高濃度ドレイン領域として、前記高濃度ソース領域にはソース配線を電気的に接続し、前記高濃度ドレイン領域にはドレイン配線を電気的に接続することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法において、前記第1の領域および前記第2の領域に対する前記ゲート電極の位置を検出し、前記第1の領域と前記ゲート電極との第1の距離と、前記第2の領域と前記ゲート電極との第2の距離との大小関係に基づいて、パターンの異なる少なくとも2種類の前記開孔用マスクパターンを選択して用いることを特徴とする半導体装置の

製造方法。

【請求項6】 請求項1乃至5のいずれかに記載の半導体装置の製造方法のいずれかにおいて、CMOS回路を構成するN型およびP型の薄膜トランジスタのうち、少なくとも一方の薄膜トランジスタについて、前記第1の領域および前記第2の領域に対する前記ゲート電極の位置を検出した検出結果に基づいて、前記ドレイン配線および前記ソース配線を形成する位置を変えることを特徴とする半導体装置の製造方法。

【請求項7】 請求項6に記載の半導体装置の製造方法のいずれかにおいて、CMOS回路を構成するN型およびP型の薄膜トランジスタのうち、P型の薄膜トランジスタについてはセルフアライン構造とすることを特徴とする半導体装置の製造方法。

【請求項8】 請求項6または7に記載の半導体装置の製造方法を用いてアクティブマトリクス基板上に液晶駆動回路を形成することを特徴とする液晶装置の製造方法。

【請求項9】 請求項8に記載の液晶パネルの製造方法において、前記半導体薄膜は、600°C以下の成膜温度で形成した非晶質の半導体薄膜に対して結晶化処理を施した半導体薄膜であることを特徴とする液晶パネルの製造方法。

【請求項10】 請求項8に記載の液晶パネルの製造方法において、前記半導体薄膜は、600°C以下の成膜温度で形成した非晶質の半導体薄膜に対して、エキシマレーザーを用いたレーザアニール処理を施した多結晶性半導体薄膜であることを特徴とする液晶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ（以下、TFTという。）を用いて回路構成を行った半導体装置の製造方法、および半導体装置の製造方法を用いてアクティブマトリクス基板に液晶駆動回路を形成する液晶装置の製造方法に関するものである。

【0002】

【従来の技術】 液晶パネルを用いた表示装置、あるいはエレクトロリミネッセンスなどといった電流駆動型の発光素子を用いた表示装置では、TFTを用いて駆動回路などを構成することが多い。ここに用いられるCOMS回路において、N型のTFTでは、たとえば、図8

（A）および図9（A）に示すように、島状の半導体薄膜20Aには、ゲート電極15に対してゲート絶縁膜13を介して対峙するチャネル領域17Aと、ゲート電極15の端部に対峙する低濃度ソース・ドレイン領域121A、122Aと、この低濃度ソース・ドレイン領域121A、122Aを介してチャネル領域17Aに接続する高濃度ソース・ドレイン領域123A、124Aとが形成されている。この高濃度ソース・ドレイン領域123A、124Aに対しては、ゲート電極15の表面側に

形成された層間絶縁膜51のコンタクトホール191A、192Aを介して配線801A、802Aがドレイン配線およびソース配線として電気的に接続している。

【0003】このようなLDD構造のTFT10Aの製造プロセスにおいて、低濃度ソース・ドレイン領域121A、122Aは、半導体薄膜20Aに対してゲート電極15をマスクとして不純物が導入されることにより、ゲート電極15に対してセルフアライン的に形成される。これに対して、高濃度ソース・ドレイン領域123A、124Aは、図11(E)に示すように、ゲート電極15をやや広めに覆うレジストマスクなどといった高濃度不純物導入用マスクRM2を形成した後、この高濃度不純物導入用マスクRM2を介して半導体薄膜20Aに高濃度不純物を導入することにより形成される。

【0004】再び、図8(A)および図9(A)において、LDD構造のTFT10Aでは、チャネル領域17Aの両側に位置する2つのソース・ドレイン領域12Aの両方に低濃度ソース・ドレイン領域121Aが形成されている。ソース領域とドレイン領域の間に高い電圧が与えられる場合においては、ソース配線(配線802A)が接続する方のソース・ドレイン領域12Aから、ドレイン配線(配線801A)が接続する方のソース・ドレイン領域12Aに向けてキャリヤ(電子)が移動する際にホットキャリヤの発生やインパクトイオン化が発生し易いが、LDD構造ではそれらを防止することができる。従って、TFT10AやCMOS回路の信頼性を高めることができる。

【0005】

【発明が解決しようとする課題】このようにしてホットキャリヤの発生やインパクトイオン化などを確実に防止するには、高電圧端子となるドレイン配線(配線801A)が接続する方のソース・ドレイン領域120A(ドレイン領域)に十分なLDD長(低濃度ソース・ドレイン領域121Aのチャネル長方向における寸法)の低濃度領域を形成しておくことが必要である。

【0006】しかしながら、図11(E)に示す工程において、高濃度不純物導入用マスクRM2がチャネル長方向のうち、ソース配線(配線802A)が接続する方はずれていた場合には、結果的にはゲート電極15の位置がチャネル長方向にずれてドレイン配線(配線801A)が接続する方のソース・ドレイン領域12A(ドレインDの側)に十分なLDD長の低濃度領域(低濃度ソース・ドレイン領域121A)を確保することができない。このような場合には、TFT10Aにおいてホットキャリヤの発生やインパクトイオン化などを確実に防止することができなくなる。

【0007】なお、低濃度ソース・ドレイン領域121A、122Aを形成している領域をチャネル領域17Aと同等の不純物濃度にすると、オフセットゲート構造のTFTを製造でき、このようなオフセットゲート構造の

TFTでも、十分なオフセット長(ゲート電極15の端部からソース・ドレイン領域がチャネル長方向にずれている寸法)を確保すれば、ホットキャリヤの発生やインパクトイオン化などを防止することができる。但し、オフセットゲート構造のTFTでも、図11(E)に示す工程において、高濃度不純物導入用マスクRM2がチャネル長方向のうち、ソース配線(配線802A)が接続する方にずれていた場合には、ドレイン配線(配線801A)が接続する方のソース・ドレイン領域12A(ドレインDの側)に十分なオフセット長を確保することができないので、TFTにおいてホットキャリヤの発生やインパクトイオン化などを防止することができないという面では、LDD構造のTFTと同様な問題点を有している。

【0008】ところで、高濃度不純物導入用マスクRM2は、ホトリソグラフィー法により、レジストを露光および現像したものや、何らかの膜を、ホトリソグラフィー法によりレジストを露光および現像してエッチングしたもので作られるのが一般的である。ホトリソグラフィー法では、露光機により露光する場合、TFT基板とパターンマスクを組合せながら所定の位置に露光をする。その組合せ精度は、露光機の機械精度で決まるものであるが、高精度の露光機は極めて高価になり、また装置の処理速度が低下するので現実的ではない。LDD長やオフセット長は、大きくなるとTFTオン電流の低下を招くので、±0.1μm程度の誤差範囲内で形成することが望ましい。しかし、TFT用露光機ではこの精度で生産するのは不可能である。特にTFT基板のサイズは、550mm×650mmを超えるものもあり、基板の熱伸縮等も考慮すると絶望的である。

【0009】この他、LDD構造もしくはオフセット構造の作製には、単シリコンウエハー上に形成される半導体回路で用いられている技術と同様に、ゲート電極の側壁にサイドウォールと呼ばれる膜を形成させ、これを高濃度不純物層マスクとすることも考えられる。しかし、600°C以下の低温で作製されるTFTでは、膜の化学的性質が成膜温度に左右され易く、サイドウォール膜を均一に形成するのは困難である。

【0010】従って、現状では、予め高濃度不純物用マスクのずれを見込んで、それが大きくなても最低限必要なLDD長やオフセット長が確保できるように、高濃度不純物用マスクの長さを大きく設定しておかなければならぬが、それによりTFTのオン電流の低下が問題となる。

【0011】そこで、本発明の課題は、オフセットゲート構造やLDD構造のTFTにおいてドレイン側に十分なオフセット長あるいはLDD長を確実に確保することができる半導体装置の製造方法、およびこの製造方法を用いた液晶パネルの製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するため、本発明では、半導体薄膜、ゲート絶縁膜、および該ゲート絶縁膜を介して前記半導体薄膜に対峙するゲート電極が形成され、前記半導体薄膜には高濃度に不純物が導入された第1の領域および第2の領域が形成されてなる半導体装置の製造方法において、前記ゲート電極が形成された位置に応じて、前記第1の領域および前記第2の領域のうちの一方の領域を高濃度ソース領域とし、他方の領域を高濃度ドレイン領域として、前記高濃度ソース領域にはソース配線を電気的に接続し、前記高濃度ドレイン領域にはドレイン配線を電気的に接続することを特徴とする。

【0013】より具体的には、たとえば、半導体薄膜にゲート絶縁膜を隔てて、ゲート電極を形成する工程と、ホトリソグラフィー法によって形成されたマスクを介して半導体薄膜に高濃度不純物を導入することにより、オフセットゲート構造もしくはLDD構造の高濃度ソース・ドレイン領域を形成する高濃度不純物導入工程と、前記高濃度ソース・ドレイン領域に電気的に接続するソース配線およびドレイン配線を形成する配線形成工程とを有する半導体装置の製造方法において、前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれを検出し、該検出結果に基づいて、前記高濃度ソース・ドレイン領域とチャネル長方向のずれが大きくなっていた方に位置する高濃度ソース・ドレイン領域に前記ドレイン配線を電気的に接続させ、他方に位置する高濃度ソース・ドレイン領域に前記ソース配線を電気的に接続するように、前記高濃度不純物導入工程以降の工程条件を設定することを特徴とする。

【0014】また、前記第1の領域および前記第2の領域に対する前記ゲート電極のチャネル長方向におけるずれに応じて、前記第1の領域および前記第2の領域のうちの一方の領域を高濃度ソース領域とし、他方の領域を高濃度ドレイン領域として、前記高濃度ソース領域にはソース配線を電気的に接続し、前記高濃度ドレイン領域にはドレイン配線を電気的に接続することを特徴とする。

【0015】また、本発明では、前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれを検出し、その検出結果に基づいて、高濃度ソース・ドレイン領域に対するドレイン配線およびソース配線の電気的な接続の組み合わせを変更する。すなわち、高濃度ソース・ドレイン領域とゲート電極のずれが大きくなっていた方では、オフセット長やLDD長が長くなるので、こちらの高濃度ソース・ドレイン領域に対してドレイン配線を接続する。従って、高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれの方向に依らず、ドレイン配線が接続する側では十分なオフセット長やLDD長を備えるオフセット領域やLDD領域を形成できる。それ故、TFTにおいてソース領域とドレイン領域の間に高い電圧が与えられる場合でも、ホットキャリヤの発

生やインパクトイオン化などを防止することができ、TFTおよびそれを用いたTFT回路の信頼性を向上させることができる。

【0016】また、パターンの異なる少なくとも2種類のマスクパターンを、前記ゲート電極のチャネル長方向のずれに基づいて選択して用いることを特徴とする。たとえば、マスクパターンの異なる少なくとも2種類の配線形成用マスクを準備をしておき、配線形成工程では前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれを検出した結果に基づいて前記の少なくとも2種類の前記配線形成用マスクのうちのいづれかを選択して用いる。すなわち、チャネル長方向のずれが大きくなっていた方に位置する高濃度ソース・ドレイン領域にドレイン配線を電気的に接続させ、他方に位置する高濃度ソース・ドレイン領域にソース配線を電気的に接続させるにあたって、配線形成工程で用いる配線形成用マスクのマスクパターンを変更することを特徴とする。このように構成すると、前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれが大きくなっていた方向に対応して、配線形成工程で用いる配線形成用マスクのマスクパターンを変更し、ソース配線およびドレイン配線の形成パターンを変更するので、常に、オフセット長やLDD長が長い方の高濃度ソース・ドレイン領域に対してドレイン配線を接続することができる。

【0017】また、半導体薄膜、ゲート絶縁膜、および該ゲート絶縁膜を介して前記半導体薄膜に対峙するゲート電極が形成され、前記半導体薄膜には高濃度に不純物が導入された第1の領域および第2の領域が形成されてなり、前記ゲート絶縁膜上および前記ゲート電極上に層間絶縁膜が形成されてなる半導体装置の製造方法において、前記第1の領域および前記第2の領域に対する前記ゲート電極の位置を検出し、前記第1の領域と前記ゲート電極との第1の距離と、前記第2の領域と前記ゲート電極との第2の距離との大小関係に基づいて、前記層間絶縁膜にコンタクトホールを開孔するための開孔用マスクパターンを選択して配置することにより、前記第1の領域および前記第2の領域のうちの一方の領域を高濃度ソース領域とし、他方の領域を高濃度ドレイン領域として、前記高濃度ソース領域にはソース配線を電気的に接続し、前記高濃度ドレイン領域にはドレイン配線を電気的に接続することを特徴とする。

【0018】より具体的には、半導体薄膜にゲート絶縁膜を隔てて、ゲート電極を形成する工程と、ホトリソグラフィー法によって形成されたマスクを介して半導体薄膜に高濃度不純物を導入することにより、オフセットゲート構造もしくはLDD構造の高濃度ソース・ドレイン領域を形成する高濃度不純物導入工程と、前記高濃度ソース・ドレイン領域に層間絶縁膜を形成し、前記高濃度ソース・ドレイン領域に対応するそれぞれの位置にコンタクトホールを形成する開孔工程と、前記コンタクトホ

ールを通して前記高濃度ソース・ドレイン領域に電気的に接続するソース配線およびドレイン配線を形成する配線形成工程とを有する薄膜トランジスタ回路の製造方法において、前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれを検出し、該検出結果に基づいて、前記開孔工程で用いる前記開孔マスクのパターンを変更することにより、前記高濃度ソース・ドレイン領域とチャネル長方向のずれが大きくなっていた方に位置する高濃度ソース・ドレイン領域に前記ドレイン配線を電気的に接続し、他方に位置する高濃度ソース・ドレイン領域に前記ソース配線を電気的に接続するように、前記高濃度不純物導入工程以降の工程条件を設定することを特徴とする。すなわち、前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれに対応して、前記開孔工程で用いる前記開孔用マスクのマスクパターンを変更し、高濃度ソース・ドレイン領域に対するソース配線およびドレイン配線の接続の組合せを変更する。それ故、常に、オフセット長やLDD長が長い方の高濃度ソース・ドレイン領域に対してドレイン配線を接続することができる。

【0019】また、マスクパターンの異なる少なくとも2種類の前記開孔用マスクを用いる準備をしておき、前記開孔工程では前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれを検出した結果に基づいて前記少なくとも2種類の前記開孔用マスクのうちのいづれかを選択して用いることを特徴とする。

【0020】また、CMOS回路を構成するN型およびP型の薄膜トランジスタのうち、少なくとも一方の薄膜トランジスタについて、前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれの検出結果によって前記高濃度ソース・ドレイン領域に対する前記ドレイン配線および前記ソース配線の電気的な接続の組み合わせを変更することを特徴とする。

【0021】また、CMOS回路を構成するN型およびP型の薄膜トランジスタのうち、N型の薄膜トランジスタについては、前記高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれの検出結果によって前記高濃度ソース・ドレイン領域に対する前記ドレイン配線および前記ソース配線の電気的な接続の組み合わせを変更し、P型の薄膜トランジスタについてはセルフアライン構造とすることを特徴とする。このように構成すると、ホットキャリヤの発生やインパクトイオン化などが起こりやすいN型のTFTにおいて、常に、オフセット長やLDD長が長い方の高濃度ソース・ドレイン領域に対して高電圧端子となるドレイン配線を接続することができる。また、ホットキャリヤの発生やインパクトイオン化などが比較的起こりにくいP型のTFTについては、セルフアライン構造とすることにより、動作速度の向上を図ることができる。

【0022】このようなTFT回路は、エレクトロルミ

ネッセンス素子などといった電流駆動型の発光素子を用いた表示装置を構成するのに用いることができるが、前述の薄膜トランジスタ回路の製造方法を用いてアクティブマトリクス基板上に液晶駆動回路を形成して液晶装置を製造することを特徴とする。

【0023】また、前記半導体薄膜は600°C以下の成膜温度で形成した非晶質の半導体薄膜に対して結晶化処理を施した半導体薄膜であることを特徴とする。

【0024】また、前記半導体薄膜は、600°C以下の成膜温度で形成した非晶質の半導体に対して、エキシマレーザーを用いたレーザアニール処理を施した多結晶性半導体薄膜であることを特徴とする。

【0025】

【発明の実施の形態】図面を参照して、液晶パネルのアクティブマトリクス基板上にTFT回路を用いて液晶駆動回路を構成した場合を例に本発明を説明する。

【0026】[アクティブマトリクス基板の構成] 図1および図2はそれぞれ、本形態に係る液晶表示装置に用いた液晶パネルを対向基板の側からみた平面図、および図1のH-H'線で切断したときの液晶パネルの断面図である。図3は、アクティブマトリクス基板の構成を模式的に示すブロック図、図4および図5はそれぞれ、アクティブマトリクス基板に液晶駆動回路として構成した走査線駆動回路およびデータ線駆動回路に用いられるシフトレジスタの等価回路図である。図6は、走査線駆動回路およびデータ線駆動回路などで生成される信号の波形図である。

【0027】図1および図2において、液晶表示装置に用いる液晶パネルLPは、画素電極8がマトリクス状に形成されたアクティブマトリクス基板AMと、対向電極31が形成された対向基板OPと、これらの基板間に封入、挟持されている液晶39とから概略構成されている。アクティブマトリクス基板AMと対向基板OPとは、対向基板OPの外周縁に沿って形成されたギャップ材含有のシール材59によって所定の間隙を介して貼り合わされている。また、アクティブマトリクス基板AMと対向基板OPとの間には、シール材59によって液晶封入領域40が区画形成され、この液晶封入領域40内に液晶39が封入されている。この液晶封入領域40において、アクティブマトリクス基板AMと対向基板OPと間にはスペーサ37が介在している。シール材59としては、エポキシ樹脂や各種の紫外線硬化樹脂などを用いることができる。また、シール材59に配合されるギャップ材としては、約2μm～約10μmの無機あるいは有機質のロッド（棒）若しくは球などが用いられる。

【0028】対向基板OPはアクティブマトリクス基板AMよりも小さく、アクティブマトリクス基板AMの周辺部分は、対向基板OPの外周縁よりはみ出た状態に貼り合わされる。従って、アクティブマトリクス基板AM

の駆動回路（走査線駆動回路70やデータ線駆動回路60）や入出力端子45は対向基板OPから露出した状態にある。ここで、シール材59は部分的に途切れているので、この途切れ部分によって、液晶注入口241が構成されている。このため、対向基板OPとアクティブマトリクス基板AMとを貼り合わせた後、シール材59の内側領域を減圧状態にすれば、液晶注入口241から液晶39を減圧注入でき、液晶39を封入した後、液晶注入口241を封止剤242で塞げばよい。なお、対向基板OPには、シール材59の内側において画面表示領域7を見切りするための遮光膜BM2も形成されている。また、対向基板OPのコーナー部のいずれにも、アクティブマトリクス基板10と対向基板OPとの間で電気的導通をとるための上下導通材56が形成されている。

【0029】ここで、走査線に供給される走査信号の遅延が問題にならないのならば、走査線駆動回路70は片側だけでも良いことは言うまでもない。また、データ線駆動回路60を画面表示領域7の辺に沿って両側に配列しても良い。例えば奇数列のデータ線は画面表示領域7の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は画面表示領域7の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしても良い。このようにデータ線を櫛歯状に駆動するようにすれば、データ線駆動回路60の形成面積を拡張することができるため、複雑な回路を構成することが可能となる。また、アクティブマトリクス基板AMにおいて、データ線駆動回路60と対向する辺の側には、遮光膜BM2の下などを利用して、プリチャージ回路や検査回路が設けることもある。また、対向基板OPおよびアクティブマトリクス基板AMの光入射側の面あるいは光出射側には、使用する液晶39の種類、すなわち、TN（ツイステッドネマティック）モード、ゲストホストTNモード、マルチドメイン垂直配向（MVA）モード等々の動作モードや、ノーマリホワイトモード／ノーマリブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の向きに配置される。

【0030】ここで、対向基板OPには、各画素電極8に対向する領域にRGBのカラーフィルタ（図示せず。）をその保護膜（図示せず。）とともに形成することにより、カラー液晶テレビなどといったカラー液晶表示装置を構成することができる。また、液晶パネルLPを透過型で構成した場合には、たとえば、投射型液晶表示装置（液晶プロジェクタ）において使用される。この場合、3枚の液晶パネルLPがRGB用のライトバルブとして各自使用され、各液晶パネルLPの各々には、RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各自入射されることになるので、液晶パネルLPにはカラーフィルタが形成されることになる。

【0031】【アクティブマトリクス基板の基本構成】図3に示すように、液晶表示装置用のアクティブマトリクス基板AM上には、データ線90および走査線91に接続する画素スイッチング用のTFT10Cと、このTFT10Cを介してデータ線90から画像信号が入力される液晶セル94が存在する。データ線90に対しては、シフトレジスタ84、レベルシフタ85、ビデオライン87、アナログスイッチ86を備えるデータ線駆動回路60が形成されている。走査線91に対しては、シフトレジスタ88およびレベルシフタ89を備える走査線駆動回路70が形成されている。画素領域では、前段の走査線91との間に保持容量40（容量素子）が形成され、この保持容量40は、液晶セル94での電荷の保持特性を高める機能を有している。なお、保持容量40は容量線との間に形成されることもある。

【0032】このように構成したアクティブマトリクス基板AMにおいて、走査線駆動回路70では、図4に示すように、シフトレジスタ88の各段は、第1のクロックドインバータ881、このクロックドインバータ881の出力端に入力端が接続されたインバータ882、およびこのインバータ882の入出力端のそれぞれに入出力端が接続する第2のクロックドインバータ883からなるラッチ回路が形成されている。各段の出力は、AND回路885あるいはNAND回路884とインバータ886により論理積が求められた後、レベルシフタ89を介して各走査線91に出力される。ここで、同一段の第1および第2のクロックドインバータ881、883には相反転クロックが信号入力され、かつ、各段のクロックドインバータ883と次段のクロックドインバータ881には同一のクロック信号が印加される。

【0033】図5に示すように、データ線駆動回路60においても、シフトレジスタ84の各段は、第1のクロックドインバータ841、このクロックドインバータ841の出力端に入力端が接続されたインバータ842、このインバータ842の入出力端のそれぞれに入出力端が接続する第2のクロックドインバータ843からなるラッチ回路が形成されている。各段の出力は、レベルシフタ85およびアナログスイッチ86に出力される。

【0034】このように構成されたアクティブマトリクス基板AMでは、図3および図6（A）に示すように、走査線駆動回路70に対して垂直同期信号VSYNCが入力されると、クロック信号VCLKから生成された走査信号VG1、VG2、…、VGnが各走査線91（91-1、91-2、91-3…）に出力され、各データ線90に対応する画素スイッチング用のTFT10Cが順次、オン状態となる。一方、データ線駆動回路60では、図3および図6（B）に示すように、各色R、G、Bに対応するビデオ信号VideoR、VideoG、VideoBがアナログスイッチ86によってクロック信号HCLKに同期して取り込まれ、各色R、G、Bに対応する

信号VSR、VSG、VSBが各データ線90（90R、90G、90B・・・）に出力される。このようにしてデータ線90（90R、90G、90B・・・）に出力された画像データは、前記の走査信号VG1、VG2、・・・VGnにより画素スイッチング用のTFT10Cが各段毎に順次、オン・オフすることにより、各液晶セル94に書き込まれる。

【0035】このような走査線駆動回路70およびデータ線駆動回路60において、そこに形成されるインバータ881、842（図4および図5を参照。）などには、図7に示すCMOS回路300（TFT回路）が用いられ、このCOMS回路300は、N型の駆動回路用のTFT10AとP型の駆動回路用のTFT10Bによって回路構成されている。このCOMS回路300では、P型のTFT10BのソースSに対して駆動電位VDDが印加され、このP型のTFT10BのドレインDは、N型のTFT10AのドレインDに対して接続している。また、N型のTFT10AのソースSはグランド電位GNDに設定されている。

【0036】[実施の形態1] このような構成のCOMS回路300を備える半導体装置に用いられたN型のTFT10AおよびP型のTFT10Bはそれぞれ、図8（A）に示す断面構造を有している。また、N型のTFT10Aは、図9（A）に示す平面構造を有している。

【0037】図8（A）において、P型のTFT10Bでは、島状の半導体薄膜20Bに対して、ゲート電極15にゲート絶縁膜13を介して対峙するチャネル領域17Bと、ゲート電極15に対してセルフアライン的に形成された高濃度ソース・ドレイン領域123B、124Bとが形成されている。この高濃度ソース・ドレイン領域123B、124Bに対しては、ゲート電極15の表面側に形成された層間絶縁膜51のコンタクトホール191B、192Bを介して配線801B、802Bがドレイン配線、ソース配線として電気的に接続している。

【0038】また、図8（A）および図9（A）において、N型のTFT10Aでは、島状の半導体薄膜20Aに対して、ゲート電極15に対してゲート絶縁膜13を介して対峙するチャネル領域17Aと、ゲート電極15の端部に対峙する低濃度ソース・ドレイン領域121A、122Aと、この低濃度ソース・ドレイン領域121A、122Aを介してチャネル領域17Aに接続する高濃度ソース・ドレイン領域123A、124A（第1の領域および第2の領域）とが形成されている。従って、N型のTFT10Aでは、高濃度ソース・ドレイン領域121A、122Aとチャネル領域17Aとの間に、ゲート電極15の端部にゲート絶縁膜13を介して対峙する低濃度ソース・ドレイン領域121A、122Aが形成されている。また、高濃度ソース・ドレイン領域123A、124Aに対しては、ゲート電極15の表面側に形成された層間絶縁膜51のコンタクトホール1

91A、192Aを介して配線801A、802Aが接続している。

【0039】ここに示す構造では、P型のTFT10Bの配線802Bには駆動電位VDDが印加され、この配線802Bが接続する高濃度ソース・ドレイン領域124BはソースSとして用いられている。また、N型の駆動回路用のTFT10Aの配線802Aにはグランド電位GNDに印加され、この配線802Aが接続する高濃度ソース・ドレイン領域124AはソースSとして用いられている。これに対して、P型のTFT10Bの配線801BとN型のTFT10Aの配線801Aとは、一体のドレイン配線として形成され、これらの配線801A、801Bが接続する高濃度ソース・ドレイン領域123A、123BはドレインDとして用いられている。ここで、N型のTFT10Aは、ソースSとして用いられる側、およびドレインDとして用いられる側のいずれにおいても、低濃度ソース・ドレイン領域121A、122Aのチャネル長方向における寸法（LDD長）は、たとえば $1.0 \pm 0.5 \mu\text{m}$ と等しくなるように設定されている。

【0040】このように構成したLDD構造のN型のTFT10Aでは、ソース・ドレイン領域12Aのうち、ドレイン配線（配線801A）が接続する方のソース・ドレイン領域12（ドレインD）に低濃度領域（低濃度ソース・ドレイン領域121A）が形成されている。ソース領域とドレイン領域の間に高い電圧が与えられる場合においては、ソース配線（配線802A）が接続する方のソース・ドレイン領域12（ソースS）から、ドレイン配線（配線801A）が接続する方のソース・ドレイン領域12A（ドレインD）に向けてキャリヤが移動する際にホットキャリヤの発生やインパクトイオン化などを防止することができる。それ故、N型のTFT10Aやそれを用いたCOMS回路300の信頼性を高めることができる。また、ホットキャリヤの発生やインパクトイオン化が発生し易いが、LDD構造ではそれらが起こりやすいN型のTFT10AについてはLDD構造とする一方、ホットキャリヤの発生やインパクトイオン化などが比較的起こりにくいP型のTFT10Bについては、セルフアライン構造にしてあるので、COMS回路300において動作速度の向上を図ることができる。

【0041】ここで、低濃度ソース・ドレイン領域121A、122Aは、半導体薄膜20Aに対してゲート電極15をマスクとして不純物が導入されることにより、ゲート電極15に対してセルフアライン的に形成されるが、高濃度ソース・ドレイン領域123A、124Aは、図11（E）に示すように、ゲート電極15をやや広めに覆うレジストマスクなどといった高濃度不純物導入用マスクRM2を形成した後、この高濃度不純物導入用マスクRM2を介して半導体薄膜20Aに高濃度不純物を導入することにより形成される。このとき、高濃度

不純物導入用マスクRM2が、矢印R1で示すように、ゲート電極15に対してドレイン(D)となるべき側にずれてしまった場合でも、ドレインD側に相当する低濃度ソース・ドレイン領域121AのLDD長が大きくなるだけであるため、ホットキャリヤの発生やインパクトイオン化などを防止することができる。これに対して、高濃度不純物導入用マスクRM2が、矢印R2で示すように、ゲート電極15に対してソース(S)となるべき側にずれ、その結果、ゲート電極15の位置がずれてしまった場合には、ドレインDの側において低濃度ソース・ドレイン領域121AのLDD長が短くなりすぎ、このまま後工程を行うと、ホットキャリヤの発生やインパクトイオン化などを防止することができなくなる。

【0042】そこで、本発明では、まず、図8(B)および図9(B)に示すように、高濃度不純物導入用マスクRM2が、矢印R1で示す方向にずれてしまった場合でも、図8(A)および図9(A)と同様、高濃度ソース・ドレイン領域121Aに対して高電圧端子となるドレイン配線(配線801A)を接続し、高濃度ソース・ドレイン領域122Aに対してソース配線(配線802A)を接続する。

【0043】これに対して、図8(C)および図9(C)に示すように、高濃度不純物導入用マスクRM2が、矢印R2で示す方向にずれてしまった場合には、図8(A)および図9(A)とは反対に、高濃度ソース・ドレイン領域122Aに接続する配線802Aをドレイン配線とし、高濃度ソース・ドレイン領域121Aに接続する配線801Aをソース配線とする。すなわち、N型のTFT10Aの配線801Aについては、ソース配線としてP型のTFT10Bの配線801Bから分割して形成する一方、N型のTFT10Aの配線802Aについては、ドレイン配線としてP型のTFT10Bの配線801Bと一体に形成する。

【0044】このような配線構造の変更を行うにあたって、本形態では、図10(A)に示すように、N型のTFT10AとP型のTFT10Bとを、共通のゲート電極15が延びる方向に所定の間隔を開けて形成する。また、ゲート電極15を挟む両側に対してN型のTFT10Aの低濃度ソース・ドレイン領域121A、122Aおよび高濃度ソース・ドレイン領域123A、124Aを形成する。同様に、ゲート電極15を挟む両側に対してP型のTFT10Bの高濃度ソース・ドレイン領域123B、124Bを形成する。このP型のTFT10Bにおいて、高濃度ソース・ドレイン領域123B、124Bはゲート電極15に対してセルフアライン的に形成されるので、マスクずれに起因するLDD長の変動はありえない。従って、高濃度ソース・ドレイン領域124Bにコンタクトホール192Bを介して接続する配線802Bについては、常に駆動電位VDDを印加するソース

配線として用い、高濃度ソース・ドレイン領域123Bにコンタクトホール191Bを介して接続する配線801Bについては、常にドレイン配線としてN型のTFT10AのドレインDとの接続に用いる。

【0045】すなわち、図11(E)に示すように高濃度不純物導入用マスクRM2を形成した際に、図8(A)、図9(A)および図10(A)に示すように、高濃度不純物導入用マスクRM2にずれがなかったため、N型のTFT10Aにおいて、ゲート電極15の両側に等しいLDD長の低濃度ソース・ドレイン領域121A、122Aが形成された場合には、ゲート電極15に対してP型のTFT10Bの高濃度ソース・ドレイン領域124Bと同じ側に位置する高濃度ソース・ドレイン領域124Aに対してコンタクトホール192Aを介して接続する配線802Aをグランド電位GNDを印加するソース配線として用い、P型のTFT10Bの高濃度ソース・ドレイン領域124Bと同じ側に位置する高濃度ソース・ドレイン領域123Aに対してコンタクトホール191Aを介して接続する配線801Aをドレイン配線として用いる。このため、高濃度ソース・ドレイン領域123Aに接続する配線801Aと、高濃度ソース・ドレイン領域123Bに接続する配線801Bとは、ゲート電極15に平行に延びる一体の配線として形成される。

【0046】また、図11(E)に示すように高濃度不純物導入用マスクRM2を形成した際に、矢印R1で示すように、高濃度ソース・ドレイン領域123Aが形成される側にずれた場合には、図8(B)、図9(B)および図10(B)に示すように、N型のTFT10Aにおいて、ドレインDの側に位置する低濃度ソース・ドレイン領域121AのLDD長が長くなるだけで、ホットキャリヤの発生やインパクトイオン化などを防止するのに支障がない。従って、図8(A)、図9(A)および図10(A)に示す配線の組合せと同様、ゲート電極15に対してP型のTFT10Bの高濃度ソース・ドレイン領域124Bと同じ側に位置する高濃度ソース・ドレイン領域124Aに対してコンタクトホール192Aを介して接続する配線802Aをグランド電位GNDを印加するソース配線として用い、P型のTFT10Bの高濃度ソース・ドレイン領域124Bと同じ側に位置する高濃度ソース・ドレイン領域123Aに対してコンタクトホール191Aを介して接続する配線801Aをドレイン配線として用いる。

【0047】これに対して、図11(E)に示すように高濃度不純物導入用マスクRM2を形成した際に、矢印R2で示すように、ソースSとして用いられる高濃度ソース・ドレイン領域124Aが形成される側にずれた場合には、N型のTFT10Aにおいて、ドレインDの側に位置する低濃度ソース・ドレイン領域121AのLDD長が短くなってしまい、ホットキャリヤの発生やイン

パクトイオン化などを防止するのに支障がある。従って、このような場合には、図8(C)、図9(C)および図10(C)に示すように、図8(A)、図9(A)および図10(A)に示す配線の組合せと反対に、N型のTFT10Aでは、ゲート電極15に対してP型のTFT10Bの高濃度ソース・ドレイン領域123Bと同じ側に位置する高濃度ソース・ドレイン領域123Aに対しても接続する配線801Aをソース配線として用い、P型のTFT10Bの高濃度ソース・ドレイン領域124Bと同じ側に位置する高濃度ソース・ドレイン領域124Aに対してコンタクトホール192Aを介して接続する配線802Aをドレイン配線として用いる。このため、N型のTFT10Aの高濃度ソース・ドレイン領域124Aに接続する配線802Aと、P型のTFT10Bの高濃度ソース・ドレイン領域123Bに接続する配線801Bとは、N型のTFT10AとP型のTFT10Bの形成領域の間を通る一体の配線として形成されることになる。

【0048】このように、本形態では、低濃度ソース・ドレイン領域121A、122Aの間でLDD長に長短があつても、LDD長が長い方の高濃度ソース・ドレイン領域123A、124Aには高電圧端子となるドレイン配線を常に接続する。従って、高濃度不純物導入用マスクRM2がチャネル長方向のいずれの方向にずれたとしても、ドレイン配線が接続する側では十分なLDD長を確保できる。それ故、N型のTFT10Aにおいてホットキャリヤの発生やインパクトイオン化などを防止することができ、N型のTFT10Aおよびそれを用いたCOMS回路300の信頼性を向上させることができる。

【0049】[実施の形態1に係る液晶パネルの製造方法] 次に、図11、図12を参照して、液晶パネルの製造工程のうち、アクティブマトリクス基板にN型のTFT10AとP型のTFT10Bを形成していく工程を説明する。

【0050】(下地保護膜形成工程)まず、図11(A)に示すようにガラス製の基板100に対してTEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000オングストロームのシリコン酸化膜からなる下地保護膜101を形成する。

【0051】(半導体薄膜形成工程)次に、基板100の温度を600°C以下、たとえば350°Cに設定して、下地保護膜101の表面にプラズマCVD法により厚さが約700オングストロームのアモルファスのシリコン膜からなる半導体薄膜200を形成する。

【0052】次に、図11(B)に示すように、アモルファスのシリコン膜からなる半導体薄膜200に対してレーザアニール(結晶化工程)を行い、半導体薄膜200をポリシリコン膜にまで結晶化しておく。このレーザ

アニール法では、たとえば、エキシマレーザのビーム長が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm²である。ラインビームについてはその幅方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査していく。

【0053】次に、図11(C)に示すように、ポリシリコン膜となった半導体薄膜200をフォトリソグラフィ技術を用いてバーニングし、島状の半導体薄膜20A、20Bを形成する。半導体薄膜20A、20Bは、それぞれN型の駆動回路用のTFT10A、駆動回路用のP型のTFT10Bを形成するための多結晶性半導体薄膜である。これまでの工程を行う間に、TFTのしきい値を調整することを目的に低濃度の不純物を導入しておくことがある。

【0054】(ゲート絶縁膜形成工程)次に、半導体薄膜20A、20Bの表面に対して、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約1000オングストロームのシリコン酸化膜からなるゲート絶縁膜13を形成する。

【0055】(ゲート電極形成工程)次に、アルミニウムなどの金属膜からなる導電膜をスパッタ法により形成した後、バーニングし、ゲート電極15を形成する。

【0056】(低濃度N型不純物導入工程)次に、図11(D)に示すように、駆動回路用のP型のTFT1Bの形成予定領域全体を覆うレジストマスクからなる低濃度不純物導入用マスクRM1を形成した後、基板100の温度が350°Cの条件下で、リンイオン(N型不純物)を約1×10¹³c m⁻²のドーズ量で導入する。その結果、不純物が導入されなかった部分がチャネル領域17Aとなる。

【0057】(高濃度N型不純物導入工程)次に、図11(E)に示すように、P型のTFT1Bの形成予定領域全体を覆うとともに、N型のTFT1Aのゲート電極15をやや広めに覆うレジストマスクからなる高濃度不純物導入用マスクRM2を形成する。

【0058】ここで、高濃度不純物導入用マスクRM2は、チャネル長方向の中央にゲート電極15が位置するように目標を定めて形成されるが、課題として述べたように露光機の精度が不十分であり、いつもその位置に正確に形成されるわけではない。本形態では、高濃度不純物導入用マスクRM2がそのような位置に形成されたか、あるいは高濃度不純物導入用マスクRM2がずれて形成されたかを検出する。また、高濃度不純物導入用マスクRM2がチャネル長方向においてずれている場合には、矢印R1、R2で示す方向のうち、いずれの方向にずれたかを検出する。このような検出を行うにあたっては、顕微鏡を用いた目視観察や画像処理、あるいはレーザ光などを用いた測長器による観察などにより、たとえば、ゲート電極15と高濃度ソース・ドレイン領域12

3 Aとの第1の距離と、ゲート電極1 5と高濃度ソース・ドレイン領域1 2 4 Aとの第2の距離とを検出し、その大小関係を比較する。

【0059】次に、この状態で半導体薄膜2 0 Aに対してリンイオン（N型不純物）を約 $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で導入する（高濃度N型不純物導入工程）。その結果、半導体薄膜2 0 のうち、リンイオンが打ち込まれた領域は、高濃度ソース・ドレイン領域1 2 3 A、1 2 4 Aとなる。このとき、図11（D）に示す工程において半導体薄膜2 0 Aに対して低濃度のN型不純物が導入された領域のうち、レジストマスクRM 2で覆われていた領域が低濃度ソース・ドレイン領域1 2 1 A、1 2 2 Aとなる。

【0060】（高濃度P型不純物導入工程）次に、図11（F）に示すように、N型の駆動回路用のTFT1 Aを覆うレジストマスクからなる不純物導入用マスクRM 3を形成し、この状態で半導体薄膜2 0 Bに対してボロシリオン（P型不純物）を $1 \times 10^{15} \sim 3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で導入する（高濃度P型不純物導入工程）。その結果、半導体薄膜2 0 Bには、ゲート電極1 5に対してセルフアライン的に高濃度ソース・ドレイン領域1 2 3 B、1 2 4 Bが形成される。不純物が導入されなかつた部分がチャネル領域1 7 Bとなる。

【0061】（層間絶縁膜形成工程）次に、図11（G）に示すように、ゲート電極1 5の表面側に、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが2 0 0 0 ~ 7 0 0 0 オングストローム程度のシリコン酸化膜からなる層間絶縁膜5 1を形成する。

【0062】（開孔工程）次に、図12（A）に示すように、層間絶縁膜5 1の表面にレジストマスクからなる開孔用マスクRM 4を形成する。この開孔用マスクRM 4では、層間絶縁膜5 1にコンタクトホール1 9 1 A、1 9 2 A、1 9 1 B、1 9 2 Bを形成すべき部分が窓開けされている。

【0063】次に、開孔用マスクRM 4を介して層間絶縁膜5 1にエッチングを行い、図12（B）に示すように、コンタクトホール1 9 1 A、1 9 2 A、1 9 1 B、1 9 2 Bを形成する。

【0064】（配線形成工程）次に、図12（C）に示すように、各配線を形成するためのアルミニウム膜などの導電膜8 5 0を形成する。

【0065】次に、図12（D）に示すように、導電膜8 5 0の表面に、この導電膜8 5 0をパターニングして配線を形成するためのレジストマスクからなる配線形成用マスクRM 5を形成する。

【0066】次に、配線形成用マスクRM 5を介して導電膜8 5 0にエッチングを行い、図8（A）、図9（A）および図10（A）に示すように、各配線8 0 1 A、8 0 2 A、8 0 1 B、8 0 2 Bを形成する。

【0067】このようにして、各配線8 0 1 A、8 0 2 A、8 0 1 B、8 0 2 Bを形成するにあたって、本形態では、図8、図9および図10を参照して説明した配線パターンのそれに対応する2種類の配線形成用マスクRM 5を用いる準備をしておき、図11（E）を参照して説明した高濃度N型不純物導入工程において、高濃度不純物導入用マスクRM 2がチャネル長方向において矢印R 2の方向にずれているか否かによって、実際に形成する配線形成用マスクRM 5の種類を決定する。

【0068】すなわち、配線形成用マスクRM 5がレジストマスクであれば、このレジストを露光させるための遮光マスクを2種類、準備しておく。また、配線形成用マスクRM 5が金属マスクであれば、この金属マスクをパターニング形成するためのマスクを2種類、準備しておく。そして、高濃度不純物導入用マスクRM 2がチャネル長方向において矢印R 2の方向にずれていなければ、図12（D）に示すパターンをもって配線形成用マスクRM 5を形成し、図8（A）、（B）、図9（A）、（B）、図10（A）、（B）に示す配線構造とする。

【0069】これに対して、高濃度不純物導入用マスクRM 2がチャネル長方向において矢印R 2の方向にずれていた場合には、N型のTFT1 0において、図8（C）、図9（C）および図10（C）を参照して説明した配線構造を形成するための配線形成用マスクを用いる。従って、高濃度不純物導入用マスクRM 2のずれによって、低濃度ソース・ドレイン領域1 2 1 A、1 2 2 Aの間でLDD長に長短があっても、LDD長が長い方の高濃度ソース・ドレイン領域1 2 3 A、1 2 4 Aに対して高電圧端子となるドレン配線を常に接続させる。それ故、高濃度不純物導入用マスクRM 2の形成位置がずれたとしても、ドレン配線が接続する側では十分なLDD長を確保できる。

【0070】本例では、2種類のマスクを準備したが、同一基板の各所でずれの方向が異なることがある場合は、その各所のずれに対応したさらに多くのマスクを準備することもある。

【0071】〔実施の形態1の変形例〕実施の形態1のような配線構造の最適化を図るにあたって、図13（A）に示すように、ゲート電極1 5がU字形状の形成され、N型のTFT1 0 AとP型のTFT1 0 Bとが横並びになっている場合でも、高濃度不純物導入用マスクRM 4のずれに合わせて配線パターンを変えることができる。

【0072】すなわち、図11（E）に示すように高濃度不純物導入用マスクRM 2を形成した際に、図13（A）に示すように、高濃度不純物導入用マスクRM 2に大きなずれがなかったため、ゲート電極1 5の両側に等しいLDD長の低濃度ソース・ドレイン領域1 2 1 A、1 2 2 Aが形成された場合には、両外側にあるP型

のTFT10Bの高濃度ソース・ドレイン領域123B、およびN型のTFT10Aの高濃度ソース・ドレイン領域123Bに対して接続する配線802A、802Bをそれぞれソース配線として用いる。これに対して、内側にあるP型のTFT10Bの高濃度ソース・ドレイン領域124B、およびN型のTFT10Aの高濃度ソース・ドレイン領域123Aに対して接続する配線801A、801Bをそれぞれドレイン配線として用いるために、ゲート電極15で囲まれた領域内においてU字形状の平面形状をもって一体に形成する。

【0073】また、図11(E)に示すように高濃度不純物導入用マスクRM2を形成した際に矢印R1で示すように、ドレインDとして用いられる高濃度ソース・ドレイン領域123Aが形成される側に高濃度不純物導入用マスクRM2がずれ、その結果、ゲート電極15の位置がずれた場合には、図13(B)に示すように、ドレインDの側に位置する低濃度ソース・ドレイン領域121AのLDD長が長くなるだけで、ホットキャリヤの発生やインパクトイオン化などを防止するのに支障がない。従って、両外側にあるP型のTFT10Bの高濃度ソース・ドレイン領域123B、およびN型のTFT10Aの高濃度ソース・ドレイン領域123Bに対して接続する配線802A、802Bをそれぞれソース配線として用いる。これに対して、内側にあるP型のTFT10Bの高濃度ソース・ドレイン領域124B、およびN型のTFT10Aの高濃度ソース・ドレイン領域123Aに対して接続する配線801A、801Bをそれぞれドレイン配線として一体に形成する。

【0074】これに対して、図11(E)に示すように高濃度不純物導入用マスクRM2を形成した際に矢印R2で示すように、ソースSとして用いられる高濃度ソース・ドレイン領域124Aが形成される側にずれ、その結果、ゲート電極15の位置がずれた場合には、ドレインDの側に位置する低濃度ソース・ドレイン領域121AのLDD長が短くなってしまい、ホットキャリヤの発生やインパクトイオン化などを防止するのに支障がある。従って、このような場合には、図13(A)、(B)と反対に、ゲート電極15の内側に位置する高濃度ソース・ドレイン領域123Aに接続する配線801Aをソース配線として用い、配線801Aにグランド電位GNDを印加する。一方、高濃度ソース・ドレイン領域124Aに接続する配線802Aの方をドレイン配線として用いる。このため、高濃度ソース・ドレイン領域124Aに接続する配線802Aと、高濃度ソース・ドレイン領域124Bに接続する配線801Bとは、N型のTFT10AとP型のTFT10Bの形成領域の間において接続するよう一体に形成される。このように構成すると、図11(E)に示す高濃度不純物導入用マスクRM2がチャネル長方向のいずれの方向にずれたとしても、LDD長が長い方がドレ

インDの側として用いられる。従って、N型のTFT10Aにおいてホットキャリヤの発生やインパクトイオン化などを防止することができ、N型のTFT10Aおよびそれを用いたTFT回路の信頼性を向上させることができる。

【0075】[実施の形態2] 図7に示したCOMS回路300に用いられるN型の駆動回路用のTFT10AおよびP型の駆動回路用のTFT10Bは、図14(A)および図15(A)に示すように構成することもできる。

【0076】図14(A)および図15(A)に示すCOMS回路300では、N型のTFT10AおよびP型のTFT10Bが共通のゲート電極15が延びる方向に所定の間隔を開けて形成されている。

【0077】N型の駆動回路用のTFT10Aでは、島状の半導体薄膜20Aに対して、ゲート電極15に対してゲート絶縁膜13を介して対峙するチャネル領域17Aと、ゲート電極15の端部に対峙する低濃度ソース・ドレイン領域121A、122Aと、この低濃度ソース・ドレイン領域121A、122Aを介してチャネル領域17Aに接続する高濃度ソース・ドレイン領域123A、124A(第1の領域および第2の領域)とが形成されている。この高濃度ソース・ドレイン領域123A、124Aに対しては、ゲート電極15の表面側に形成された下層側の層間絶縁膜51のコンタクトホール191A、192Aを介して中継用の電極901A、902Aが電気的に接続している。

【0078】中継用の電極901Aに対しては、上層側の層間絶縁膜52のコンタクトホール193Aを介して配線852が接続し、この配線852は、ドレイン配線として高濃度ソース・ドレイン領域123Aに電気的に接続している。また、配線852は、N型の駆動回路用のTFT10AとP型の駆動回路用のTFT10Bとの間を通じてゲート電極15に対して反対側にまで引き回されている。一方、中継用の電極902Aに対しては、上層側の層間絶縁膜52のコンタクトホール194Aを介して配線851が接続し、この配線851は、ソース配線として高濃度ソース・ドレイン領域124Aに電気的に接続している。また、配線851は、ゲート電極15に平行にP型の駆動回路用のTFT10Bに向けて延びている。

【0079】P型の駆動回路用のTFT10Bでは、島状の半導体薄膜20Bに対して、ゲート電極15に対してゲート絶縁膜13を介して対峙するチャネル領域17Bと、ゲート電極15に対してセルフアライン的に形成された高濃度ソース・ドレイン領域123B、124Bとが形成されている。この高濃度ソース・ドレイン領域123B、124Bに対しては、ゲート電極15の表面側に形成された下層側の層間絶縁膜51のコンタクトホール191B、192Bを介して中継用の電極901

B、902Bが電気的に接続している。

【0080】中継用の電極901Bに対しては、上層側の層間絶縁膜52のコンタクトホール193Bを介して前記の配線852が接続し、この配線852は、ドレイン配線として高濃度ソース・ドレイン領域123Bに電気的に接続している。ここで、中継用の電極901Bに対しては、前記の配線851も部分的に重なっており、後述するように、この重なり部分において上層側の層間絶縁膜52にコンタクトホールを形成すれば、中継用の電極901Bと配線851とを接続することが可能である。一方、中継用の電極902Bに対しては、上層側の層間絶縁膜52のコンタクトホール194Bを介して配線853が接続し、この配線853は、ソース配線として高濃度ソース・ドレイン領域124Bに電気的に接続している。

【0081】従って、ここに示す構造では、配線853には駆動電位VDDが印加され、この配線853が接続するP型の駆動回路用のTFT10Bの高濃度ソース・ドレイン領域124BはソースSとして用いられている。また、配線851にはグランド電位GNDが印加され、この配線851が接続するN型の駆動回路用のTFT10Aの高濃度ソース・ドレイン領域124AはソースSとして用いられている。

【0082】ここに示すN型のTFT10Aの基本的な設計は、ソースSとして用いられる側、およびドレインDとして用いられる側のいずれにおいても、低濃度ソース・ドレイン領域121A、122Aのチャネル長方向における寸法(LDD長)がたとえば $1.0 \pm 0.5 \mu m$ と等しくなるように設定されている。よって、LDD構造のN型のTFT10Aでは、ソース・ドレイン領域12Aのうち、ドレイン配線(配線852)が接続する方のソース・ドレイン領域12(ドレインD)に低濃度領域(低濃度ソース・ドレイン領域121A)が形成されているので、ソース配線(配線851)が接続する方のソース・ドレイン領域12(ソースS)から、ドレイン配線(配線852)が接続する方の高濃度ソース・ドレイン領域123A(ドレインD)に向けてキャリヤが移動する際にホットキャリヤの発生やインパクトイオン化などを防止することができる。それ故、TFT10AやCOMS回路300の信頼性を高めることができる。また、ホットキャリヤの発生やインパクトイオン化などが起こりやすいN型のTFT10AについてはLDD構造とする一方、ホットキャリヤの発生やインパクトイオン化などが比較的起こりにくいP型のTFT10Bについては、セルファアライン構造にしてあるので、動作速度の向上を図ることができる。

【0083】ここで、低濃度ソース・ドレイン領域121A、122Aは、半導体薄膜20Aに対してゲート電極15をマスクとして不純物が導入されることにより、ゲート電極15に対してセルファアライン的に形成される

が、高濃度ソース・ドレイン領域123A、124Aは、図11(E)に示すように、ゲート電極15をやや広めに覆うレジストマスクなどといった高濃度不純物導入用マスクRM2を形成した後、この高濃度不純物導入用マスクRM2を介して半導体薄膜20Aに高濃度不純物を導入することにより形成される。

【0084】このとき、高濃度不純物導入用マスクRM2が、矢印R1で示すように、高濃度ソース・ドレイン領域123Bが形成される側にずれ、その結果、ゲート電極の位置がずれた場合には、図14(B)および図15(B)に示すように、ドレイン側に相当する低濃度ソース・ドレイン領域121AのLDD長が大きくなるだけであるため、ホットキャリヤの発生やインパクトイオン化などを防止するのに支障がない。それ故、このような場合であっても、配線構造は、図14(A)および図15(A)に示した構造と同一でよい。

【0085】これに対して、高濃度不純物導入用マスクRM2が、矢印R2で示すように、高濃度ソース・ドレイン領域124Bが形成される側にずれ、その結果、ゲート電極15の位置がずれた場合には、ソースSの側に相当する低濃度ソース・ドレイン領域122AのLDD長が長くなる一方、ドレインDの側に相当する低濃度ソース・ドレイン領域121AのLDD長が短くなりすぎ、このまま後工程を行うと、ホットキャリヤの発生やインパクトイオン化などを防止することができない。

【0086】そこで、本発明では、図14(C)および図15(C)に示すように、高濃度不純物導入用マスクRM2が、矢印R2で示す方向にずれてしまった場合には、上層側の層間絶縁膜52に対するコンタクトホールの形成パターンを変更して、高濃度ソース・ドレイン領域123Aに接続する配線852をソース配線とし、高濃度ソース・ドレイン領域124Aに接続する配線851をドレイン配線とする。すなわち、配線852と中継用の電極901Bとの重なり部分において、図14(A)および図15(A)に示したコンタクトホール193Bの形成を止めて、その代わりに、配線851と中継用の電極901Bとの重なり部分において、上層側の層間絶縁膜52にコンタクトホール195Bを形成する。その結果、配線852と中継用の電極901Bとの電気的な接続が絶たれる代わりに、配線851と中継用の電極901Bとが電気的に接続する。このようにして配線の組合せをえるとともに、配線851に対してグランド電位GNDを印加していたのを止めて、その代わりに、配線852に対してグランド電位GNDを印加する。

【0087】このようにすると、高濃度不純物導入用マスクRM2のずれに起因してLDD長が大になった方の低濃度ソース・ドレイン領域122AがドレインDの側となる。このように、本形態では、高濃度不純物導入用マスクRM2がずれていたため、低濃度ソース・ドレイ

ン領域121A、122Aの間で長短があっても、高濃度ソース・ドレイン領域123A、124Aのうち、LDD長が長い方の高濃度ソース・ドレイン領域に対してドレイン配線を接続することになる。従って、高濃度不純物導入用マスクRM2がチャネル長方向のいずれの方向にずれたとしても、ドレイン配線が接続する側では十分なLDD長を備えるLDD領域を形成できる。従って、N型のTFT10Aにおいてホットキャリヤの発生やインパクトイオン化などを防止することができ、N型のTFT10Aおよびそれを用いたTFT回路の信頼性を向上させることができる。

【0088】なお、P型のTFT10Bにおいて、高濃度ソース・ドレイン領域123B、124Bはゲート電極15に対してセルフアライン的に形成されるので、高濃度ソース・ドレイン領域123B、124Bのうち、高濃度ソース・ドレイン領域123Bについては常にドレインDとして用い、高濃度ソース・ドレイン領域124Bについては常にソースSとして用いる。

【0089】本形態のように、コンタクトホールを変更する方法は構成がやや複雑化するが、ソース配線およびドレイン配線のパターン形状を変更する必要がないので、それら配線の寄生容量も常に一定に保たれるため、動作性能が変動しないという利点がある。

【0090】【実施の形態2に係る液晶パネルの製造方法】次に、本形態の液晶パネルの製造工程のうち、アクティピマトリクス基板にN型のTFT10AとP型のTFT10Bを形成していく工程を説明する。ここに示す製造方法では、実施の形態1において図11(A)～(G)を参照して説明した工程までは共通する。従って、共通する工程については特徴的な点のみを説明し、他の説明を省略する。

【0091】まず、実施の形態1と同様、図11(A)に示すように、基板100の温度が600°C以下の条件下で下地保護膜101の表面にアモルファスのシリコン膜からなる半導体薄膜200を形成した後、図11(B)に示すように、アモルファスのシリコン膜からなる半導体薄膜200に対してレーザアニール(結晶化工程)を行い、半導体薄膜200をポリシリコン膜にまで結晶化しておく。このように形成した半導体薄膜200については、図11(C)に示すように、フォトリソグラフィ技術を用いてパターニングし、島状の半導体薄膜20A、20Bを形成する。以降、ゲート絶縁膜13およびゲート電極15を順次、形成した後、図11(D)に示すように、半導体薄膜20Aには、ゲート電極15に対してセルフアライン的に低濃度のリンイオン(N型不純物)を導入する。

【0092】次に、高濃度N型不純物導入工程では、図11(E)に示すように、P型のTFT1Bの形成予定領域全体を覆うとともに、N型のTFT1Aのゲート電極15をやや広めに覆うレジストマスクからなる高濃度

不純物導入用マスクRM2を形成する。ここで、高濃度不純物導入用マスクRM2は、チャネル長方向の中央にゲート電極15が位置するように形成されるが、本形態でも、実施の形態1と同様、高濃度不純物導入用マスクRM2がそのように形成されたか、あるいは高濃度不純物導入用マスクRM2がチャネル長方向にずれたか否かを検出する。また、高濃度不純物導入用マスクRM2がチャネル長方向においてずれている場合には、矢印R1、R2で示す方向のうちいずれの方向にずれたかを検出する。このような検出を行うにあたっては、顕微鏡を用いた観察、あるいはレーザ光などを用いた測長器による観察などを行う。次に、この状態で半導体薄膜20Aに対して高濃度のリンイオン(N型不純物)を導入し、高濃度ソース・ドレイン領域123A、124Aを形成する。

【0093】以降、図11(F)に示すように、半導体薄膜20Bに対して高濃度のボロンイオン(P型不純物)を導入した後、図11(G)に示すように、下層側の層間絶縁膜51を形成する。

【0094】(開孔工程)次に、図16(A)に示すように、層間絶縁膜51の表面にレジストマスクからなる開孔用マスクRM14を形成する。次に、開孔用マスクRM14を介して層間絶縁膜51にエッチングを行い、図16(B)に示すように、コンタクトホール191A、192A、191B、192Bを形成する。

【0095】(中継電極形成工程)次に、図16(C)に示すように、中継用の電極を形成するためのアルミニウム膜などの導電膜950を形成する。

【0096】次に、図16(D)に示すように、導電膜950の表面に、この導電膜950をバターニングして中継用の電極を形成するためのレジストマスクからなる中継電極形成用マスクRM15を形成する。

【0097】次に、中継電極形成用マスクRM15を介して導電膜950にエッチングを行い、図16(E)に示すように、中継用の電極901A、902A、901B、902Bを形成する。

【0098】(層間絶縁膜形成工程)次に、図17(A)に示すように、中継用の電極901A、902A、901B、902Bの表面側に対して、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により上層側の層間絶縁膜52を形成する。

【0099】(開孔工程)次に、図17(B)に示すように、上層側の層間絶縁膜52の表面にレジストマスクからなる開孔用マスクRM16を形成する。次に、開孔用マスクRM16を介して上層側の層間絶縁膜52にエッチングを行い、図17(C)に示すように、コンタクトホール193A、194A、193B、194Bを形成する。

【0100】このようにして、コンタクトホール193

A、194A、193B、194Bを形成するにあたって、本形態では、図14および図15を参照して説明したコンタクトホールの各形成パターンに対応する2種類の開孔用マスクRM16を形成する準備しておき、図11(E)を参照して説明した高濃度N型不純物導入工程において、高濃度不純物導入用マスクRM2がチャネル長方向において矢印R2の方向にずれているか否かによって、実際に形成する開孔用マスクRM16の種類を決定する。

【0101】すなわち、開孔用マスクRM16がレジストマスクであれば、このレジストを露光させるための遮光マスクを2種類、準備しておく。また、開孔用マスクRM16が金属マスクであれば、この金属マスクをバーニング形成するためのマスクを2種類、準備しておく。そして、高濃度不純物導入用マスクRM2がチャネル長方向において矢印R2の方向にずれていなければ、上層側の層間絶縁膜52にコンタクトホール193A、194A、193B、194Bを形成する。これに対して、高濃度不純物導入用マスクRM2がチャネル長方向において矢印R2の方向にずれていた場合には、図14(C)および図15(C)を参照して説明したように、配線852と中継用の電極901Bとの重なり部分において、図14(A)および図15(A)に示したコンタクトホール193Bの形成を止めて、その代わりに、配線851と中継用の電極901Bとの重なり部分において、上層側の層間絶縁膜52にコンタクトホール195Bを形成する開孔用マスクを用いる。

【0102】(配線形成工程)このようにしてコンタクトホールを所定のパターンで形成した後、図17(D)に示すように、各配線を形成するためのアルミニウム膜などの導電膜850を形成した後、図17(E)に示すように、導電膜850の表面に、この導電膜850をバーニングして配線を形成するためのレジストマスクからなる配線形成用マスクRM17を形成し、しかる後に、配線形成用マスクRM17を介して導電膜850にエッチングを行えば、図14および図15に示す各配線801A、802A、801B、802Bを形成することができる。

【0103】[その他の形態]なお、上記形態1、2では、N型のTFT10AをLDD構造としたが、低濃度ソース・ドレイン領域121A、122Aを形成している領域をチャネル領域17Aと同等の不純物濃度になると、オフセットゲート構造のTFTを製造でき、このようなオフセットゲート構造のTFTでも、十分なオフセット長を確保すれば、ホットキャリヤの発生やインパクトイオン化などを防止することができる。但し、オフセットゲート構造のTFTでも、図11(E)に示す工程において、高濃度不純物導入用マスクRM2がチャネル長方向のうち、ソース配線(配線802A)が接続する方にずれていた場合には、ドレイン配線(配線801

A)が接続する方のソース・ドレイン領域12A(ドレインDの側)に十分なオフセット長を確保することができない。それ故、本発明をオフセットゲート構造のTFTに適用すると、オフセットゲート構造のTFTにおいて、ドレイン配線が接続する側に十分なオフセット長を常に確保できる。

【0104】また、以上の例は、ゲート電極に対して高濃度不純物用マスクを目合せして形成するタイプの製造方法を中心に述べた。他に、島状の半導体薄膜に高濃度不純物用マスクを目合せしてそれを介して不純物を先に導入して高濃度ソース・ドレイン領域を形成しておき、その後、その島状の半導体薄膜に対して目合せしたゲート電極を形成した場合も本発明は有効である。この場合、高濃度不純物を導入する工程と、ゲート電極を形成する工程の両方で、島状の半導体層に対するずれを記録しておけば、高濃度ソース・ドレイン領域とゲート電極の間のチャネル長方向のずれを検出可能だからである。

【0105】さらに他に、ゲート電極が半導体層より下部(基板側)にあるボトムゲート型のTFTであっても本発明を適用でき、ソース配線またはドレイン配線がコンタクトホールを介さずに直接ソース・ドレイン領域上に接続される構造であっても本発明を適用が可能である。

【0106】

【発明の効果】以上説明したように、本発明では、高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれを検出し、その検出結果に基づいて、高濃度ソース・ドレイン領域に対するドレイン配線およびソース配線の電気的な接続の組み合わせを変更するので、高濃度ソース・ドレイン領域とゲート電極のチャネル長方向のずれに依らず、ドレイン配線が接続する側では十分なオフセット長やLDD長を備えるオフセット領域やLDD領域を形成できる。それ故、TFTにおいてホットキャリヤの発生やインパクトイオン化などを防止することができ、TFTおよびそれを用いたTFT回路の信頼性を向上させることができる。

【0107】視点を変えて述べると、従来は、高濃度ソース・ドレイン領域とゲート絶縁膜のチャネル長方向のずれが機械精度上大きくなってしまう場合は、そのずれを見込んで予めLDD長やオフセット長を大きく設計しなければならなかったが、本発明によればその必要がないので、LDD長やオフセット長の増大によるTFTのオン電流の低下が少なくて済む。従って、大型基板の上に低消費電力で高速なTFT回路の形成が可能となる。

【図面の簡単な説明】

【図1】本発明を適用したTFT回路を形成した液晶パネルを対向基板の側からみた平面図である。

【図2】本発明を適用したTFT回路を形成した液晶パネルを図2のH-H'線で切断したときの断面図である。

【図3】図2に示すアクティブマトリクス基板の構成を模式的に示すブロック図である。

【図4】図3に示すアクティブマトリクス基板に液晶駆動回路として構成した走査線駆動回路の等価回路図である。

【図5】図3に示すアクティブマトリクス基板に液晶駆動回路として構成したデータ線駆動回路の等価回路図である。

【図6】図4および図5に示す走査線駆動回路およびデータ線駆動回路などで生成される信号の波形図である。

【図7】図4および図5に示す走査線駆動回路およびデータ線駆動回路においてシフトレジスタを構成するCOMS回路300の等価回路図である。

【図8】実施の形態1に係るCOMS回路300を構成するN型のTFTおよびP型のTFTの断面図である。

【図9】本発明の特徴部分を説明するためのN型のTFTの平面図である。

【図10】実施の形態1に係るCOMS回路300を構成するN型のTFTおよびP型のTFTの平面図である。

【図11】実施の形態1に係るCOMS回路300を構成するN型のTFTおよびP型のTFTを製造していく工程を示す工程断面図である。

【図12】実施の形態1に係るCOMS回路300を構成するN型のTFTおよびP型のTFTの製造工程のうち、図11に示す工程に統いて行う工程の工程断面図である。

【図13】実施の形態1の変形例に係るCOMS回路300を構成するN型のTFTおよびP型のTFTの平面図である。

【図14】実施の形態2に係るCOMS回路300を構成するN型のTFTおよびP型のTFTの断面図である。

【図15】実施の形態2に係るCOMS回路300を構成するN型のTFTおよびP型のTFTの平面図である。

【図16】実施の形態2に係るCOMS回路300を構成するN型のTFTおよびP型のTFTを製造していく工程を示す工程断面図である。

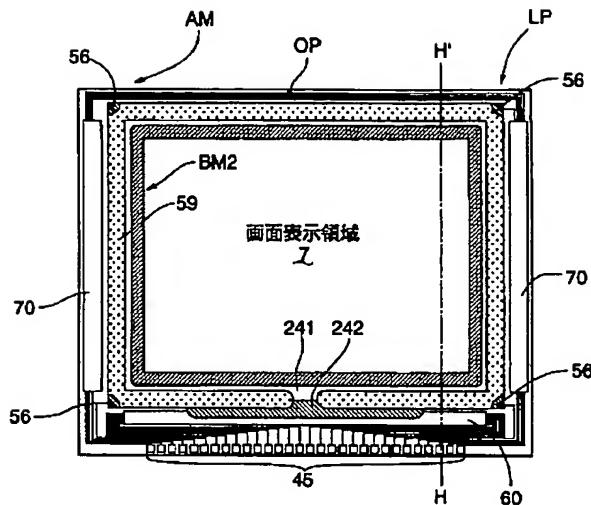
【図17】実施の形態2に係るCOMS回路300を構成するN型のTFTおよびP型のTFTの製造工程のう

ち、図16に示す工程に統いて行う工程の工程断面図である。

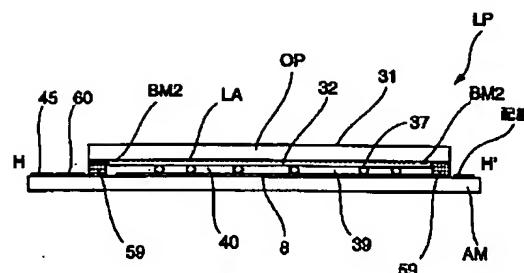
【符号の説明】

- 10A N型の駆動回路用のTFT
- 10B P型の駆動回路用のTFT
- 10C 画素スイッチング用のTFT
- 13 ゲート絶縁膜
- 15 ゲート電極
- 17A、17B チャネル領域
- 20A、20B 半導体薄膜
- 39 液晶
- 51、52 層間絶縁膜
- 60 データ線駆動回路
- 70 走査線駆動回路
- 84、88 シフトレジスタ
- 90 データ線
- 91 走査線
- 94 液晶セル
- 121A、122A 低濃度ソース・ドレイン領域
- 123A、124A、123B、124B 高濃度ソース・ドレイン領域
- 191A、192A、191B、192B、193A、194A、193B、1194B、195B コンタクトホール
- 300 CMOS回路
- 801A、802A、801B、802B 配線
- 841、843、881、883 クロックドインバータ
- 842、882 インバータ
- 851、852、853 配線
- 901A、902A、901B、902B 中継用の電極
- AM アクティブマトリクス基板
- LP 液晶パネル(半導体装置)
- OP 対向基板
- RM1 低濃度不純物導入用マスク
- RM2 高濃度不純物導入用マスク
- RM3 不純物導入用マスク
- RM4、RM14、RM16 開孔用マスク
- RM5、RM17 配線形成用マスク
- RM15 中継電極形成用マスク

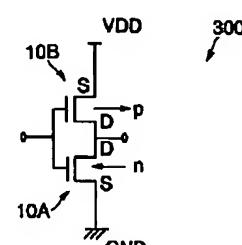
【図1】



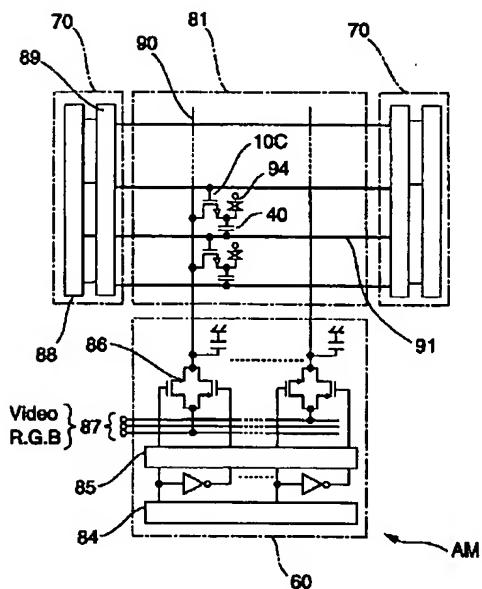
【図2】



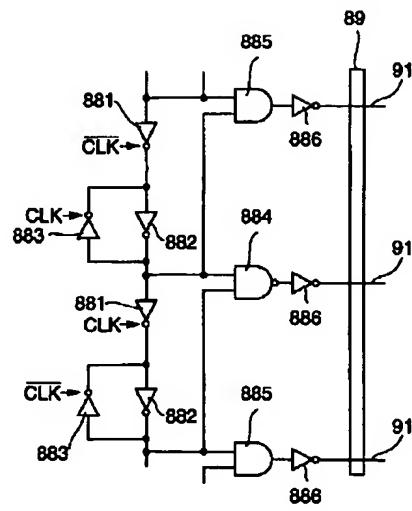
【図7】



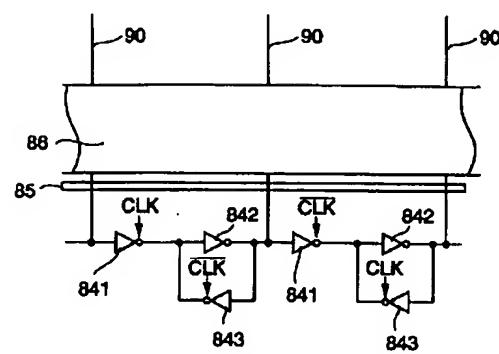
【図3】



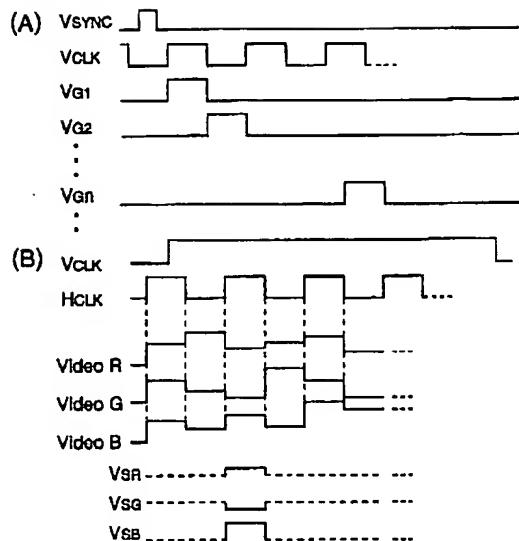
【図4】



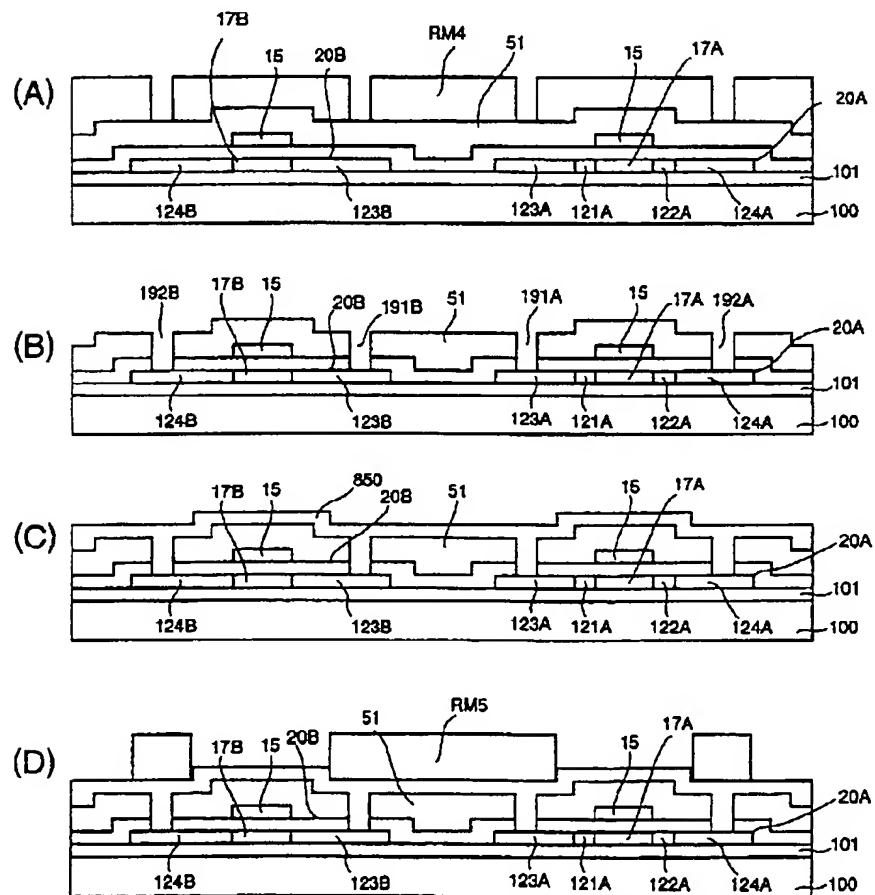
【図5】



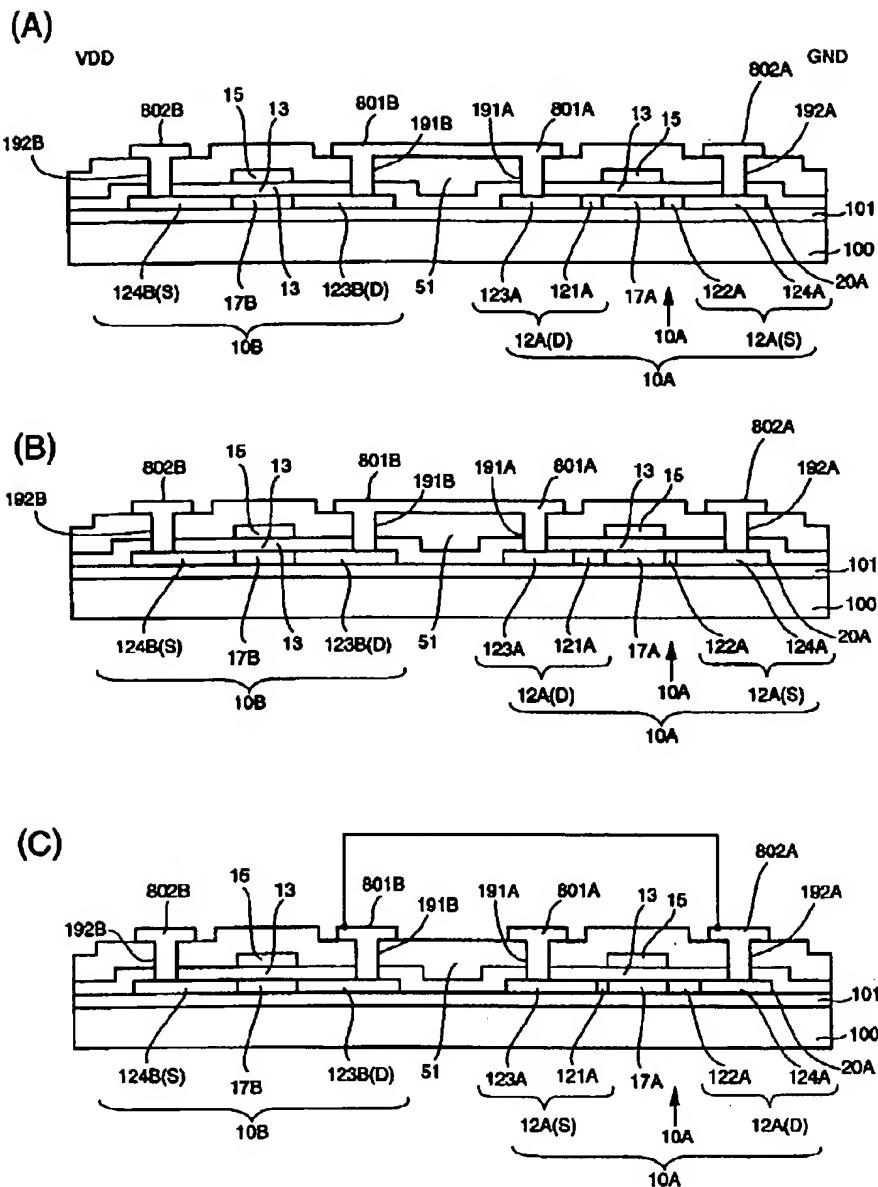
【図6】



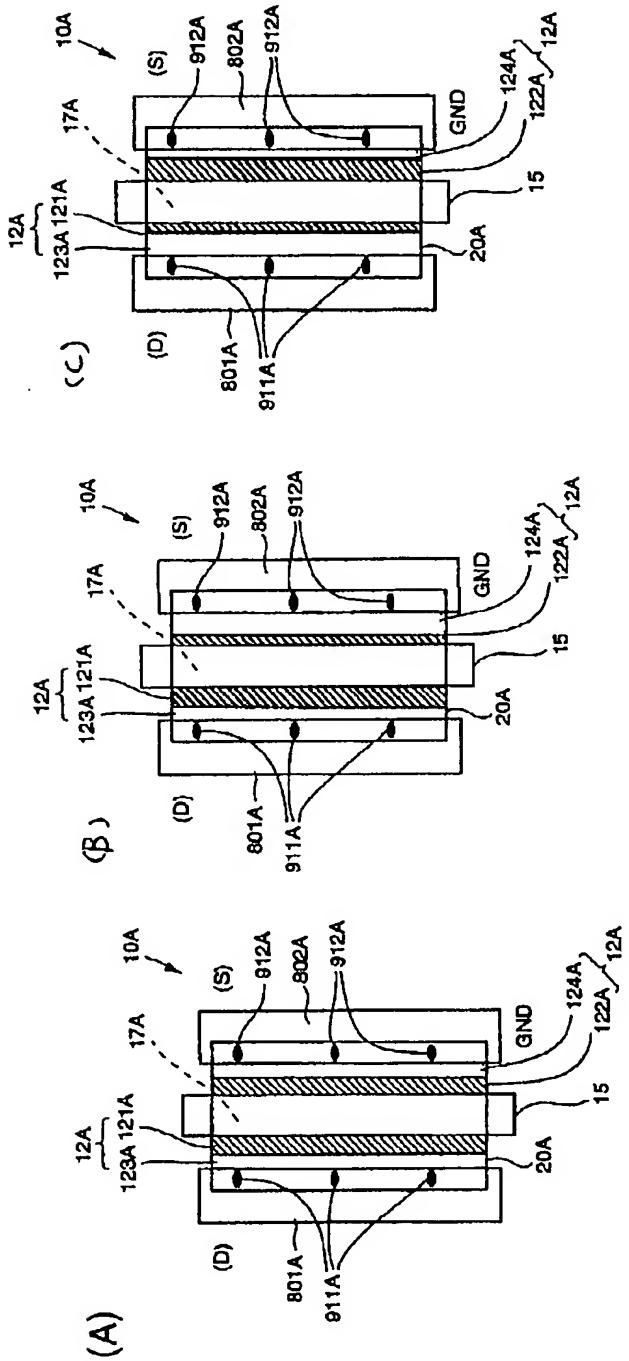
【図12】



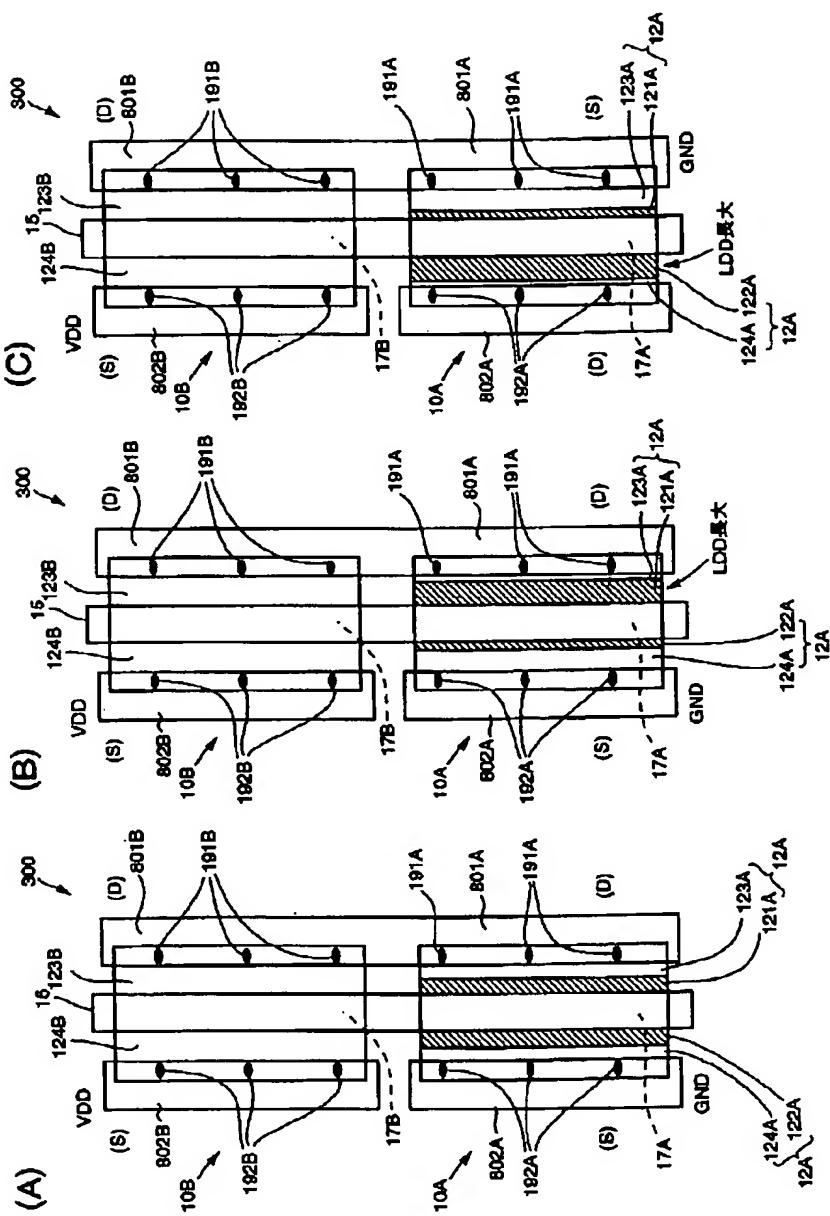
【図8】



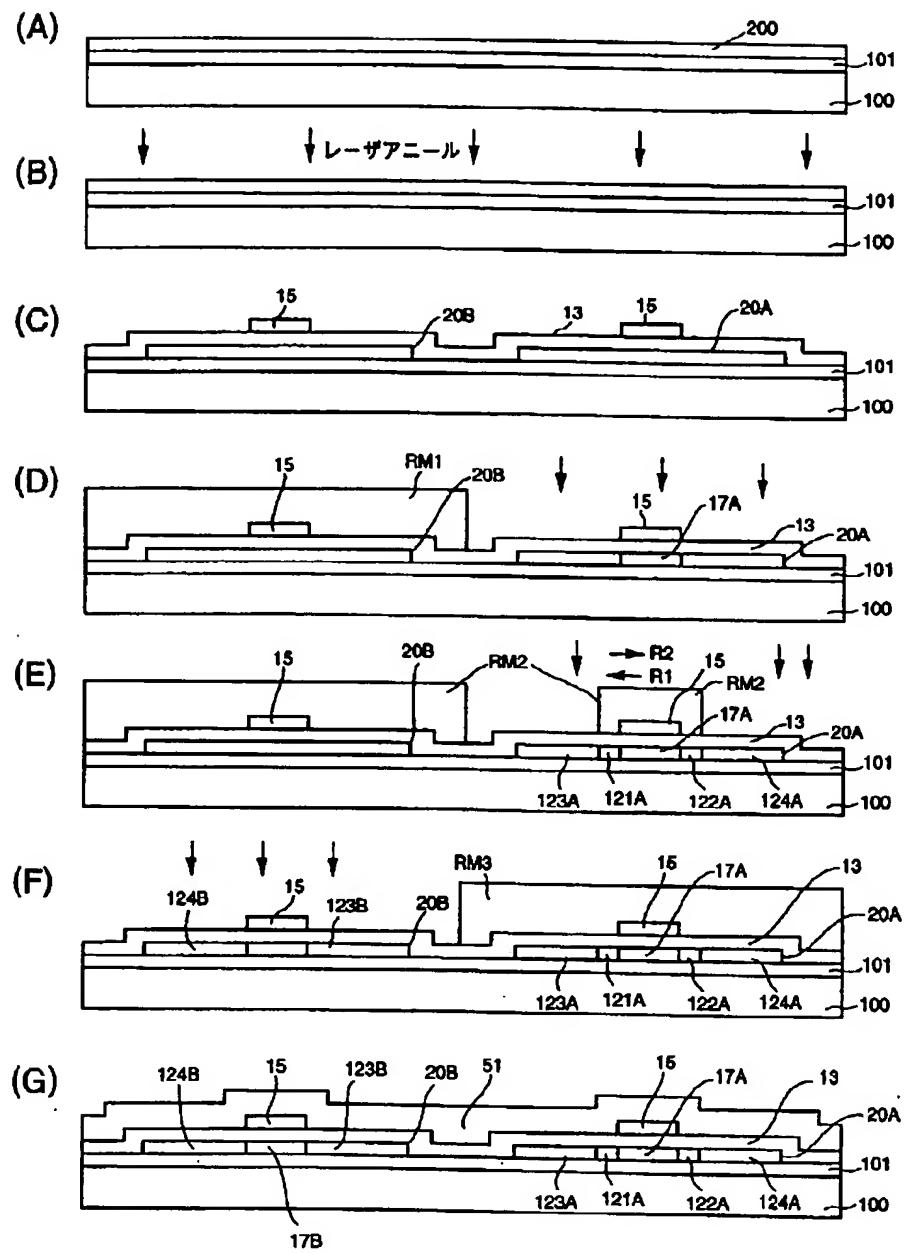
【图9】



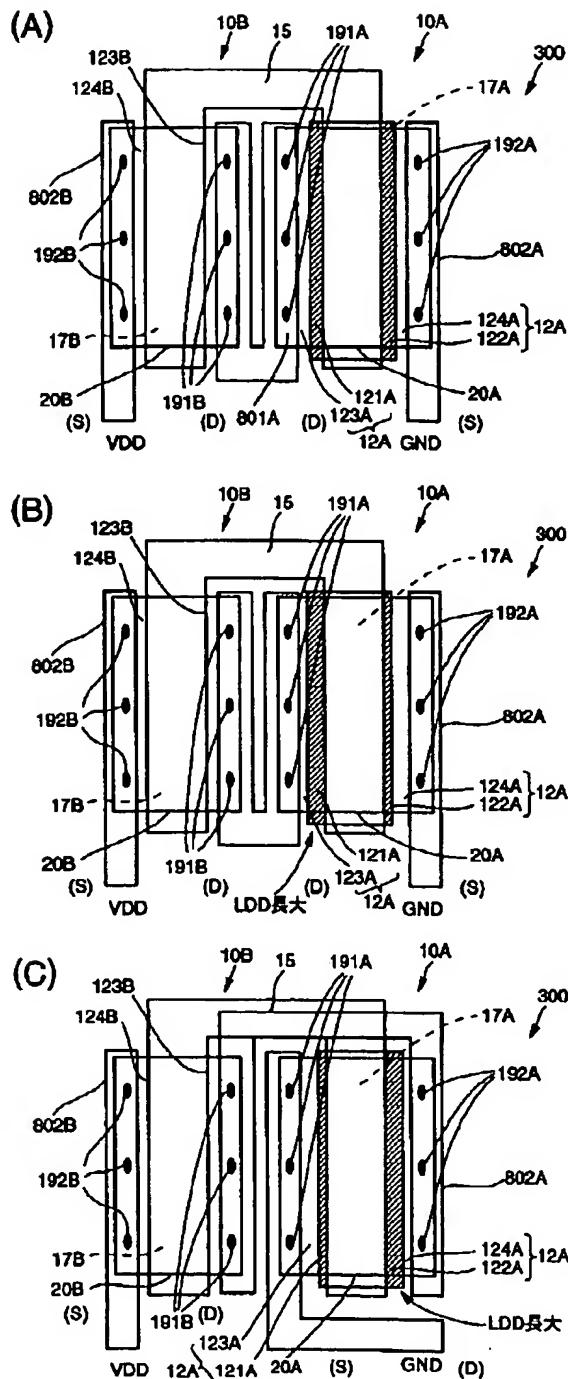
【图10】



【図11】

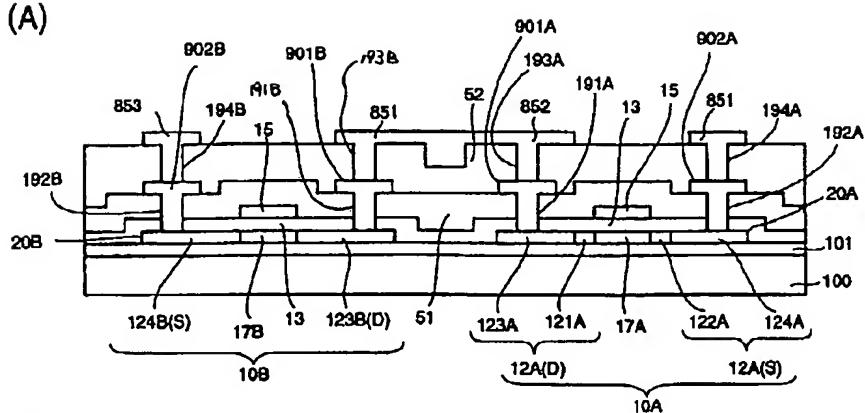


【図13】

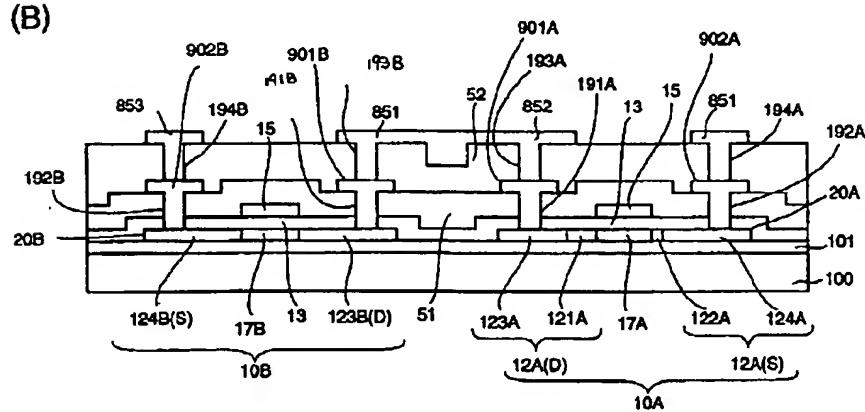


【図14】

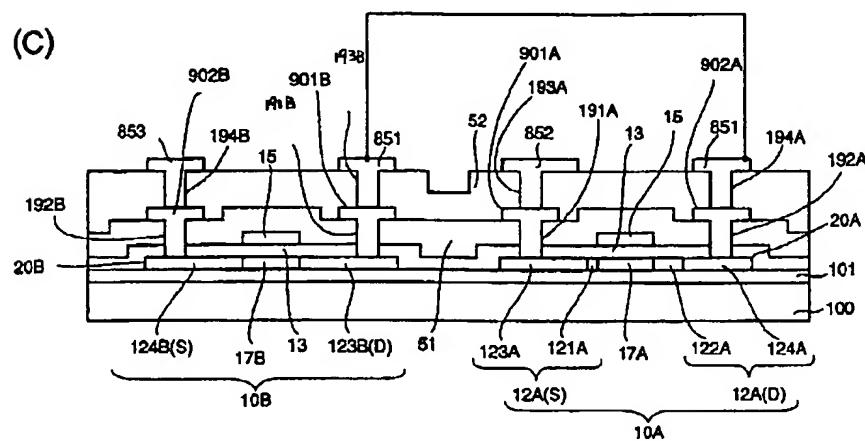
(A)



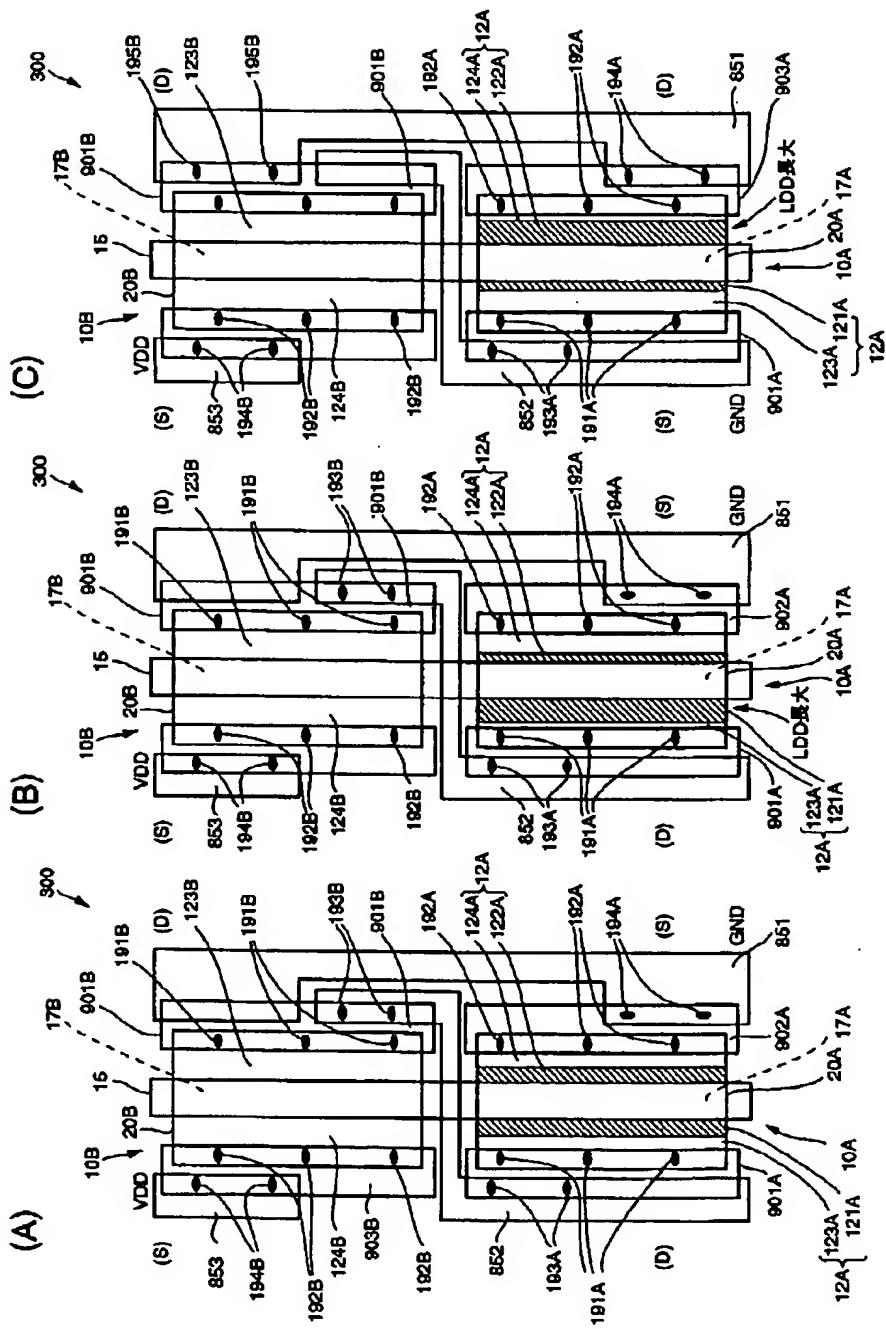
(B)



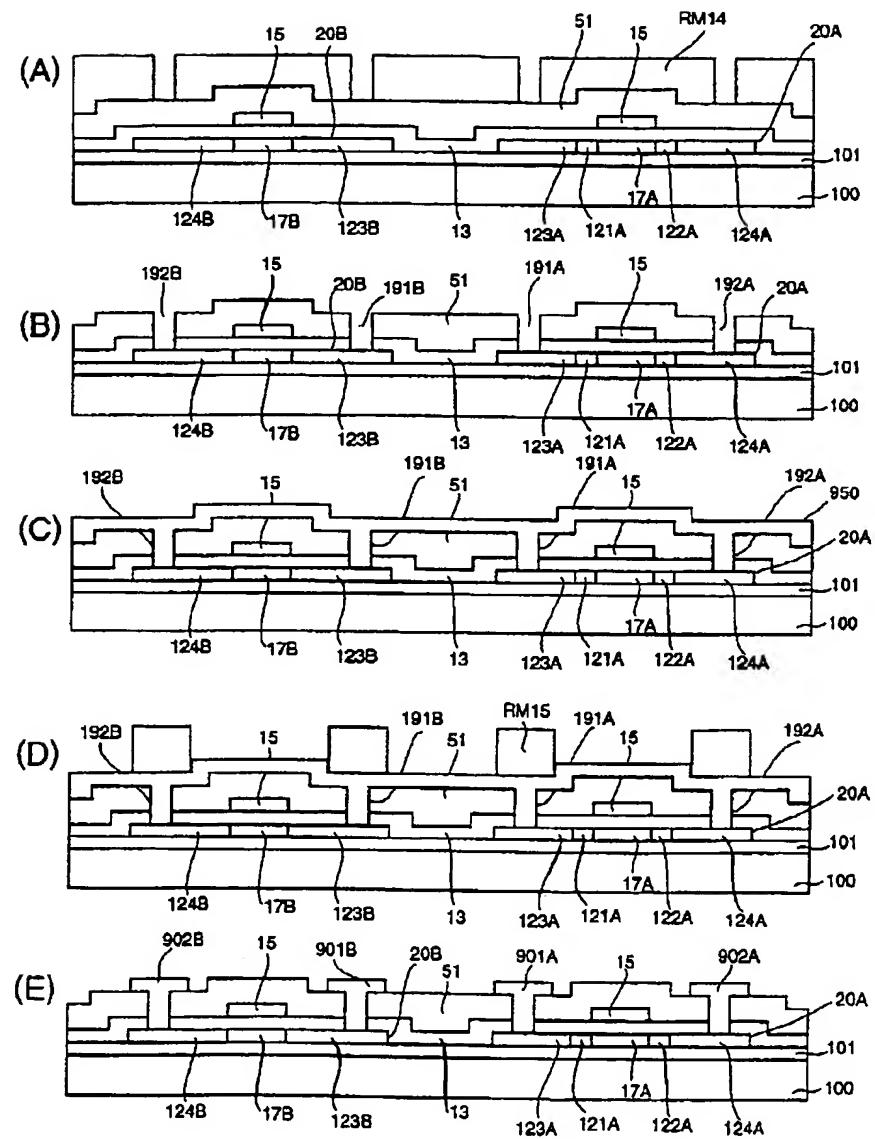
(C)



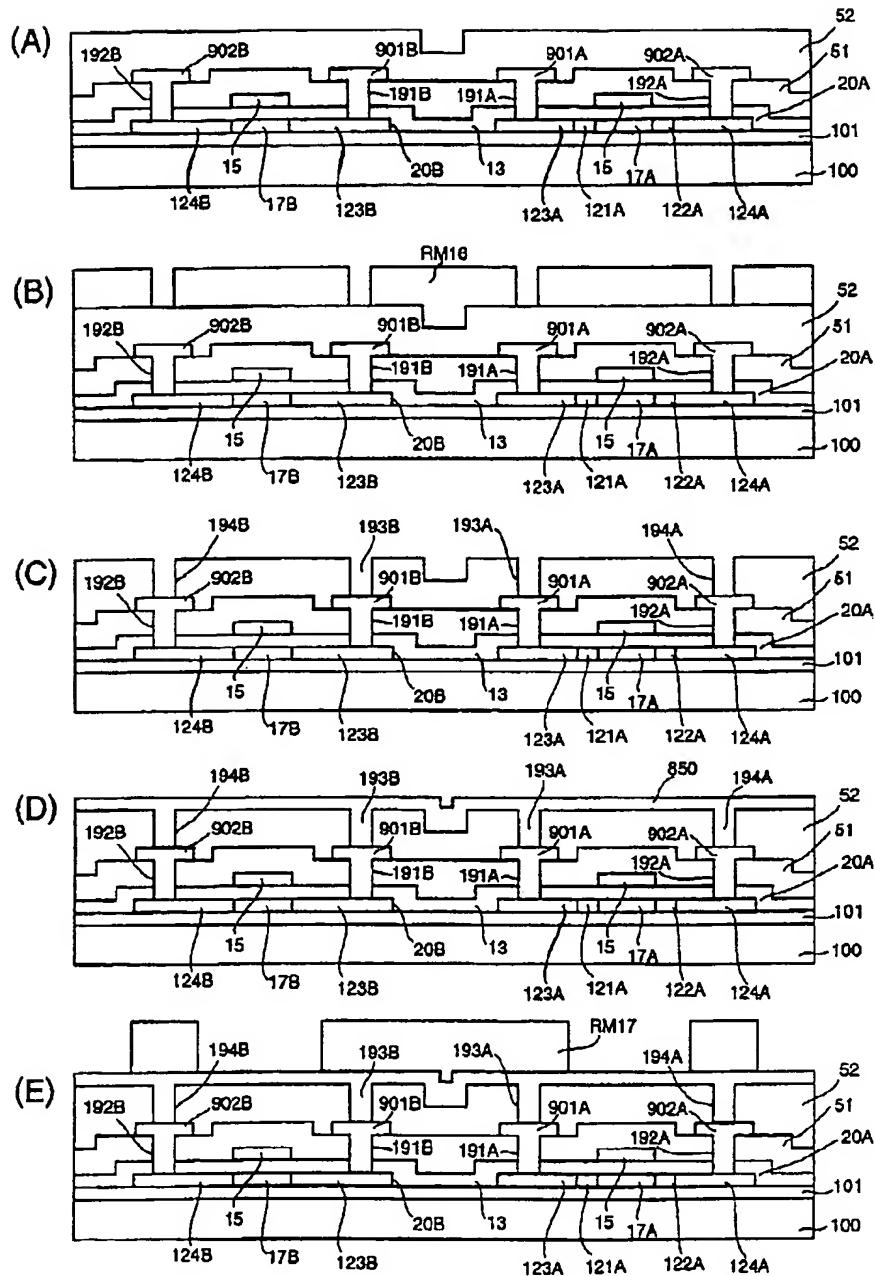
【図15】



【図16】



【図17】



(27) 00-124462 (P2000-EK62

フロントページの続き

Fターム(参考) 2H092 GA12 GA17 JA24 JA35 JA37
JA41 JA45 JA46 JB51 JB67
KA04 KA05 MA07 MA13 MA29
MA30 MA41 NA27 NA29 PA06
PA08 PA10 PA11 QA07 RA05
5F110 AA09 AA13 BB02 BB04 CC02
DD13 DD24 EE03 EE44 FF02
FF30 GG02 GG13 GG15 GG25
GG45 HJ01 HJ04 HJ13 HL03
HL11 HM14 HM15 NN03 NN23
NN35 PP05 QQ02 QQ11